“Análisis del proceso de migración de aplicación embebida en tiempo real para estación del segmento de tierra del sistema de aumentación satélite europeo"

UOC – TFC - Presentación

SAMUEL FERNÁNDEZ LEÓN

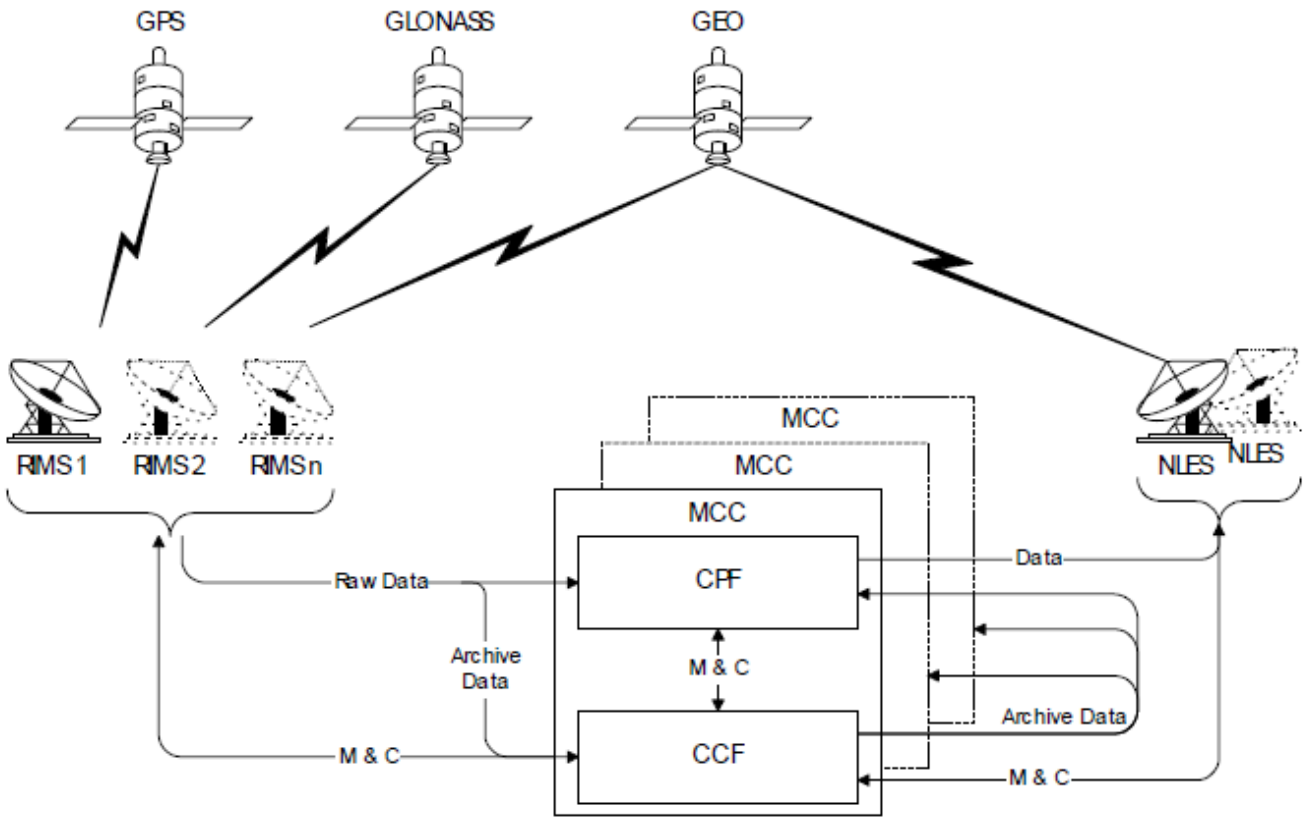
INDICE

- Definición, marco y objetivos del TFC
  - El sistema EGNOS
  - Las estaciones RIMS
  - Objetivos del TFC
- Diseño detallado
  - Análisis HW/SW
  - Análisis del S.O. LynxOS 3.1.0
  - Necesidad de soporte HW de BSP para VM6250
- Migración de la BSP
- Adaptación del SW & AIV
  - Proceso de migración de la aplicación
  - Estrategia de test
- Marcado CE
- Estrategia de cualificación
- Tareas desarrolladas
- Conclusiones

Definición, marco y objetivos del TFC

El sistema EGNOS

- El sistema EGNOS es el primer sistema de navegación europeo. Es capaz de aumentar la precisión del sistema de navegación GPS y lo hace utilizable para aplicaciones críticas



Las estaciones RIMS

- Las estaciones RIMS están distribuidas por toda Europa y periferia y se encargar de recibir señales GPS, GEO Y GLONASS y enviarlas al sistema que genera las correcciones.
- Consta de 3 partes principales:
  - Receptor GPS, GEO y GLONASS de altas prestaciones
  - Reloj atómico que proporciona una referencia frecuencial
  - Core Computer (CC): computador industrial sobre el que corre la aplicación encargada de gestionar todos los equipos de la estación y de comunicarse con el centro de control

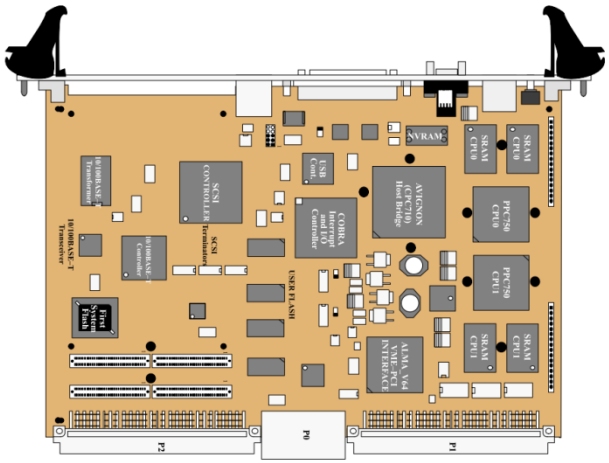
Objetivos del TFC

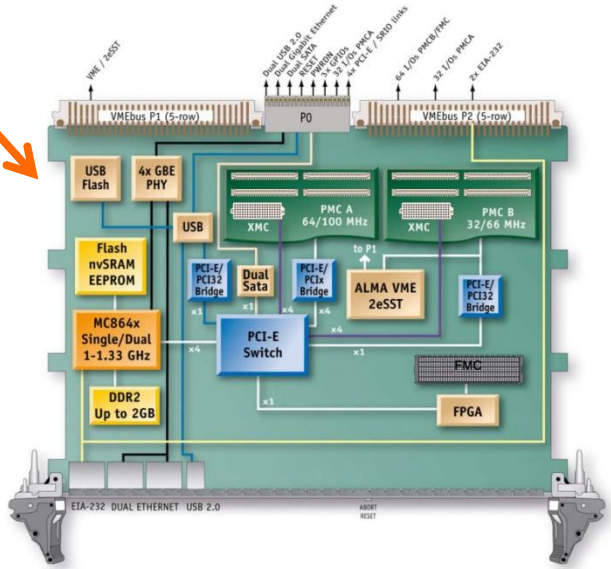
- El TFC consiste en analizar el proceso de migración de una aplicación embebida en tiempo real (la aplicación que corre en el CC), para una estación RIMS.
- Objetivos concretos:
  - Entender la problemática derivada del cambio de plataforma hardware para una aplicación embebida-
  - Entender la funcionalidad y la importancia de la BSP
  - Entender el proceso de validación software para un sistema embebido de tiempo real con nivel de criticidad DAL-C.
  - Entender el proceso y la problemática derivada de la cualificación de sistemas DAL-C
  - Describir los aspectos relacionados puramente con el hardware como las actividades de marcado CE.

Diseño Detallado

Análisis HW/SW

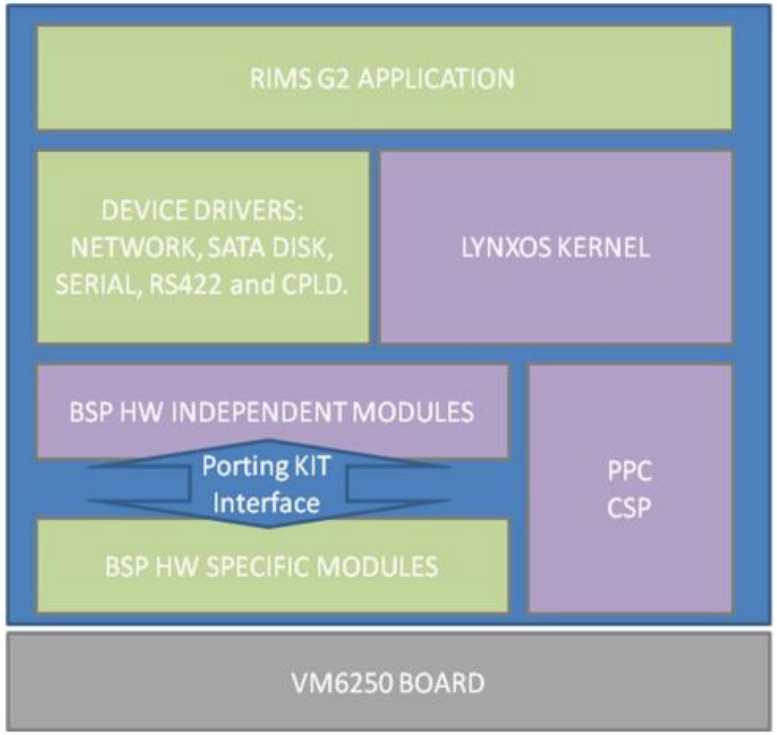
Elemento	VMPC6a	VM6250	Comentarios
CPU	PowerPC 750L 450 MHz	MPC8640 1GHz	
RAM	512 MB EEC	1 GB DDR2	
HDD	73 GB SCSI	250 GB SATAII	
Ethernet (on-board)	DEC DC21143 PCI con 2x10/100 BASE T	BCM5466R PHY con 4x 10/100/1000 BASE TX	En la placa VM6250 es parte del procesador
Serial (on-board)	2x EIA-232	2x EIA-232	Integrado en el procesador
Serial (PMC)	TPMC866-11 (8x EIA-422)	TPMC866-11R (8x EIA-422)	Tarjetas completamente equivalentes
GPIO / Watchdog	6x GPIO pins + HW watchdog	3x GPIO pins + HW watchdog	





Análisis del Sistema Operativo

- Diseño modular:
  - Kernel
  - Chip Support Package
  - Board Support Package
  - Device Resource Manager



- El Advance Porting Kit proporciona los recursos necesarios para la migración

Necesidades de soporte HW de BSP para VM6250

Elemento	VM6250	Implementación
CPU	MPC8640 1GHz/533MHz	CSP
RAM	1GB DDR2	BSP
HD	250 GB SATAII	Driver
Ethernet (en la placa)	Controlado por el procesador + BCM5466R PHY proporcionando 4x 10/100/1000 BASE TX	Driver
Serie (en la placa)	2 x EIA-232	Driver
Seria (placa PMC)	TPMC866-11R(8 x EIA-422)	Driver
GPIO / Watchdog	3 x GPIO pins + watchdog HW	Driver

Tabla 4 - Necesidades de soporte HW para VM6250

Desde	Hacia	Detalles de la interfaz
Aplicación	Driver del Watchdog	Acceso directo a través de ioctl
Aplicación	Driver GPIO	Acceso directo a través de ioctl
Aplicación	Driver placa TPMC866-11R	A través del kernel (POSIX)
Aplicación	Driver TTY	A través del kernel (POSIX)
Aplicación	Driver SATA	A través del kernel (POSIX)
Aplicación	Driver de red	A través del kernel (POSIX)
CSP	Kernel	Interfaz interno
BSP	Kernel	Interfaz interno
BSP	Hardware	Funciones callback
Driver del Watchdog	BSP	Mapa de memoria
Driver GPIO	BSP	Mapa de memoria
Driver placa TPMC866-11R	BSP	Mapa de memoria / PCI bus
Driver TTY	BSP	Mapa de memoria
Driver SATA	BSP	Mapa de memoria
Driver de red	BSP	Mapa de memoria

Tabla 5 - Interfaces a implementar

Migración de la BSP

Migración de la BSP

- Se realiza a través de un subcontratista
- Se utiliza la herramienta Porting Kit
- Metodología iterativa
  - El subco. entrega una versión para integrarla con la aplicación
  - Tras la integración, se prueba la BSP con la ATS (Automated Test Suite) y se reportan los fallos
  - Cada iteración incluye nuevas funcionalidades y corrige problemas detectados en la anterior

Adaptación del SW & AIV

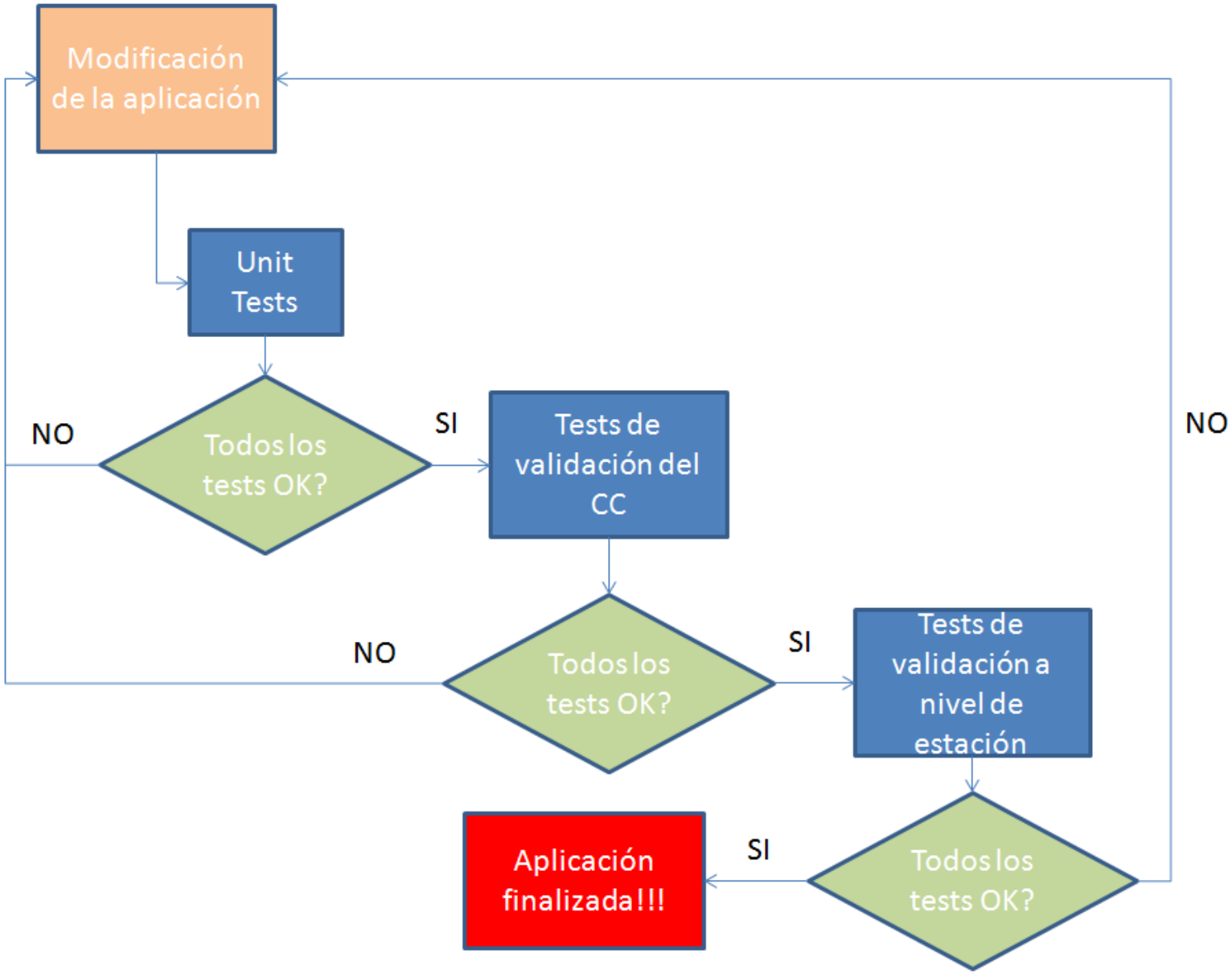
Proceso de migración de la aplicación

- Hay que cambiar las partes del código que dependen del HW
  - Watchdog: el HW asociado en la placa VM6250 es distinto
  - PBIT: Los tests disponibles en la placa VM6250 son diferentes
  - TEWS: la placa RS-422 gestionará los LEDs de modo en la nueva plataforma
- Migración paralela a la de al BSP
- Se va iterando con las versiones de BSP que van llegando cada vez con más funcionalidades

Estrategia de test (I)

- Validación de la BSP: Automated Test Suite (ATS)
- Validación de la aplicación:
  - Unit Test: se valida cada función independientemente
  - Validación a nivel de CC: se valida la aplicación en el CC aislado con estímulos controlados (simuladores)
  - Validación a nivel de estación: se valida la aplicación con la estación completa

Estrategia de test (II)



Marcado CE

Marcado CE

- Paralela a la migración de la BSP/Aplicación
- Realizada por un laboratorio certificado
- Ejecución de tests aplicables de compatibilidad electromagnética y seguridad eléctrica

Estrategia de cualificación

Estrategia de cualificación

- Sofware crítico DAL-C según el estándar DO-178
- DAL-C: daños importantes en caso de fallo
- No es necesario cualificar la aplicación por modificarse menos del 20%
- El sistema operativo se cualifica con:
  - API COTS testing: La API de sistema operativo será analizada por una empresa externa para confirmar que es los suficientemente estable y robusto
  - Product Service History: El PSH consiste en mantener el sistema en un entorno representativo del entorno operacional real durante 1 año y analizar su funcionamiento

Tareas desarrolladas

Tareas desarrolladas

- Responsable del análisis a nivel hardware de las dos plataformas (VMPC6a y VM6250)
- Responsable del diseño y actividades de AIV tanto del Core Computer como de la estación completa
- Responsable de las actividades de marcado CE realizadas en el laboratorio certificador
- Líder de la campaña de test de la aplicación a nivel de Core Computer
- Líder de la campaña de test de la aplicación a nivel de estación (actividad aún no realizada)
- Operador de la estación durante la fase de PSH (actividad aún no realizada)

Conclusiones

Tareas desarrolladas

- Se ha explicado el proceso de migración de una aplicación embebida
- Se ha descrito el análisis HW/SW de la BSP y de las plataformas HW
- Se ha explicado la estrategia de test
- Se ha introducido el marcado CE
- Se han descrito los niveles de software crítico y se ha explicado la estrategia de cualificación
- Se han explicado las tareas desarrolladas

FIN DE LA PRESENTACIÓN