
Convertidors de senyal

PID_00257316

Ferran Domínguez Gros
Jordi Solé Casals

Temps mínim de dedicació recomanat: 4 hores



Ferran Domínguez Gros

Enginyer tècnic de Telecomunicacions (Universitat Politècnica Catalunya). Col·laborador de la UOC des del 2003 en els estudis d'Enginyeria Informàtica, ETTT, grau de Telecomunicació, postgrau i màster de Seguretat Informàtica. Treballa des de fa temps en diferents empreses privades del sector de les telecomunicacions, informàtic i sanitari en diferents projectes de tecnologies de la informació i la comunicació (TIC).

Jordi Solé Casals

Doctor enginyer de Telecomunicacions (Universitat Politècnica Catalunya). Llicenciat en Humanitats (Universitat Oberta de Catalunya). Col·laborador de la UOC des del 2001 en els estudis d'Enginyeria Informàtica, ETTT, grau de Telecomunicació. Actualment, és professor titular al Departament de Tecnologies Digitals i de la Informació de la Universitat de Vic. El seu àmbit de recerca se centra en el processament de senyals biomèdics.

Tercera edició: febrer 2019

© Ferran Domínguez Gros, Jordi Solé Casals

Tots els drets reservats

© d'aquesta edició, FUOC, 2019

Av. Tibidabo, 39-43, 08035 Barcelona

Disseny: Manel Andreu

Realització editorial: Oberta UOC Publishing, SL

Cap part d'aquesta publicació, incloent-hi el disseny general i la coberta, no pot ser copiada, reproduïda, emmagatzemada o transmesa de cap manera ni per cap mitjà, tant si és elèctric com químic, mecànic, òptic, de gravació, de fotocòpia o per altres mètodes, sense l'autorització prèvia per escrit dels titulars dels drets.

Índex

Introducció	5
Objectius	6
1. Conceptes generals	7
2. Convertidors D/A	12
2.1. Tipus de CDA	13
2.1.1. Convertidors de resistències ponderades	14
2.1.2. Convertidors de resistències en escala	15
2.2. Filtre antiimatge	17
3. Convertidors A/D	19
3.1. Mostratge i retenció	20
3.2. Quantificació	23
3.2.1. CAD d'aproximacions successives	23
3.2.2. CAD de seguiment	24
3.2.3. CAD paral·lel (<i>flash</i>)	25
3.3. Codificació	27
3.4. El filtre antialiàsing	27
3.5. Error de quantificació	30
3.5.1. Quantificació uniforme	31
3.5.2. Quantificació no uniforme	33
Resum	36
Exercicis d'autoavaluació	37
Solucionari	38
Glossari	40
Bibliografia	41

Introducció

El fet que pràcticament tot el tractament de senyals que actualment es porta a terme es faci en dispositius electrònics com ara ordinadors, microcontroladors o altres sistemes, obliga que els senyals que cal tractar es puguin representar amb zeros i uns, és a dir, que siguin digitals. Ara bé, moltes vegades aquests senyals són de naturalesa analògica i, per tant, caldrà primerament convertir-los a zeros i uns per tal de poder ser tractats després pel sistema corresponent.

A la vegada, el senyal resultant d'un tractament determinat cal que, sovint, tingui naturalesa analògica, bé perquè hagi d'actuar sobre algun altre dispositiu, bé perquè s'hagi de convertir en algun altre tipus de senyal com ara una ona sonora, etc. Per tant, també necessitem convertir els zeros i uns en un senyal analògic, normalment en forma de tensió variant en el temps.

En aquest mòdul ens centrarem, doncs, en l'estudi dels sistemes de conversió de senyals del món analògic al món digital (CAD), i a la inversa, del món digital al món analògic (CDA). Per tal de facilitar la comprensió dels conceptes presentats, l'ordre en què s'introduiran serà, primer de tot, els CDA i posteriorment els CAD, atès que, tal com veurem, els primers són circuitalment més simples i en algun cas la conversió d'analògic a digital es basarà en el CDA, per això és interessant que s'hagi treballat prèviament.

Per això, primer presentarem tota una sèrie de conceptes generals que cal tenir clars en aquests dos processos, per passar després a explicar els CDA, tant des d'un punt de vista formal o teòric com el seu disseny i el disseny de la resta d'elements necessaris per al seu funcionament. Veurem que en alguns dels CDA més utilitzats ens apareix altra vegada l'amplificador operacional com a dispositiu clau per a poder dissenyar un CDA.

A continuació, ens centrarem en l'estudi dels CAD. Entre altres aspectes, veurem el teorema de mostratge i la importància cabdal d'escollir correctament la freqüència a la qual recollim mostres del senyal analògic que volem mostrar per tal de no perdre informació en aquest procés. Seguidament, veurem diferents tipus de convertidors, alguns dels quals basats, al seu torn, en l'ús de CDA i operacionals; veurem també la importància del filtre necessari en aquesta etapa de CAD, i estudiarem finalment l'efecte de l'error introduït en l'etapa de quantificació.

CDA

A partir d'ara abreuarem *conversió de senyals del món digital al món analògic* amb la sigla CDA.

CAD

A partir d'ara abreuarem *conversió de senyals del món analògic al món digital* amb la sigla CAD.

Objectius

Els objectius que ha d'assolir l'estudiant en aquest mòdul didàctic són els següents:

1. Entendre els conceptes de *conversió analògica-digital (A/D)* i *conversió digital-analògica (D/A)*.
2. Entendre el concepte de *freqüència de Nyquist* i la importància cabdal que té en els processos de conversió.
3. Conèixer diferents tipus de circuits convertidors utilitzats en el camp de la instrumentació electrònica.
4. Saber interpretar les principals característiques dels convertidors donades pels fabricants, per tal de tenir criteri a l'hora d'escollir-ne un d'acord amb les nostres necessitats.

1. Conceptes generals

El **convertidor analògic-digital (CAD)** i **digital-analògic (CDA)** són circuits que ens permeten convertir un senyal d'un domini a un altre, en aquest cas del domini analògic al domini digital o a la inversa.

Convé definir, primer, quins tipus de senyals podem tenir normalment. Així, doncs, si classifiquem els senyals segons les seves característiques temporals (eix d'abscisses), direm que un senyal és *continu* quan és definit per a qualsevol instant de temps, i direm que és *discret* quan el senyal és definit en instants determinats de temps, normalment múltiples d'un període fonamental T . A la vegada, els senyals també es poden classificar en funció dels valors d'amplitud que poden prendre (eix d'ordenades). Parlarem de *senyals analògics* quan el valor d'amplitud pot ser qualsevol, i parlarem de *senyals digitals* quan els valors d'amplitud estan restringits a un conjunt prefixat de valors possibles.

Normalment, tindrem senyals continus i analògics, o bé discrets i digitals, per la qual cosa s'acostuma a utilitzar el nom d'*analògics* per als primers, i de *digitals* per als segons, tot i que podem tenir un senyal continu i digital, o bé un senyal discret i analògic. D'ara endavant, nosaltres ens referirem als senyals continus i analògics com a *senyals analògics*, i als senyals discrets i digitals com a *senyals digitals*.

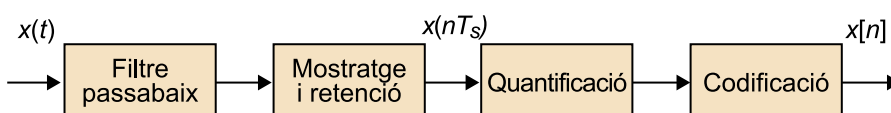
La majoria de senyals que podem obtenir de la naturalesa són senyals analògics. Per poder processar aquests senyals mitjançant un ordinador o algun altre tipus de sistema digital (una targeta específica de processament digital de senyal [DSP] o bé un microcontrolador concret, per exemple), ens cal convertir aquests senyals analògics en senyals digitals, ja que si no caldria disposar de dades infinites en temps i amplitud, que és, evidentment, inviable. La conversió implica, per tant, recollir valors dels senyals en instants concrets de temps, múltiples d'un període fonamental T i assignar el valor del senyal en aquests instants de manera que sigui un dels valors prefixats disponibles (el valor més proper). La primera de les etapes rep el nom de *mostratge temporal* i la segona rep el nom de *quantificació*, i són les etapes més importants del sistema.

Senyals analògics

Són exemples de senyals analògics el senyal de veu o qualsevol senyal d'origen biomèdic, com ara el senyal del cor (electrocardiograma) o de l'activitat cerebral (electroencefalograma).

En línies generals, doncs, un sistema de conversió d'analògic a digital (A/D) seguirà els passos mostrats en la figura 1:

Figura 1. Esquema general d'un sistema CAD



El primer bloc correspon a un filtre passabaix que ens limitarà el contingut en freqüència del senyal d'entrada. La freqüència de tall del filtre està íntimament relacionada amb la freqüència de mostratge del convertidor, tal com veurem més endavant. El segon bloc es correspon amb el que és pròpiament el sistema de mostratge del convertidor, i el que fa és recollir el valor del senyal cada T_s unitats de temps, en què T_s és el que anomenarem *període de mostratge*¹ i la seva inversa, $F_s = \frac{1}{T_s}$, serà la *freqüència de mostratge*². El tercer bloc s'ocupa de quantificar el valor d'amplitud de la mostra recollida en el pas anterior, al qual associa el nivell més proper d'entre els diferents nivells disponibles. Finalment, el darrer bloc s'ocupa de codificar el senyal ja digital de manera convenient, en funció de la tasca o aplicació que estiguem fent.

⁽¹⁾En anglès, *sampling period*.

⁽²⁾En anglès, *sampling frequency*.

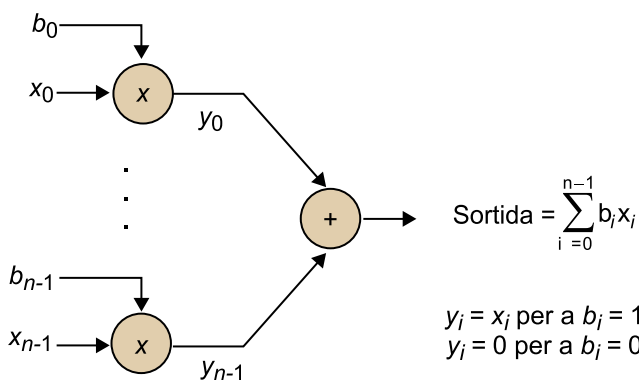
De manera intuïtiva, podríem relacionar els senyals analògics amb els senyals digitals amb una correspondència biunívoca entre valors en els dos dominis (taula 1):

Taula 1. Relació entre senyal analògic i paraula digital associada

Marge del senyal analògic	Interval de valors digitals
$V_{i \text{ màx}}$	Valor binari màxim (11.....111)
$V_{i \text{ mín}}$	Valor binari mínim (00.....000)

De manera intuïtiva, podem entendre la relació entre el nombre binari de n bits i el valor analògic corresponent com una suma ponderada tal com es mostra en la figura 2:

Figura 2. Esquema de relació entre el nombre binari de n bits i el valor analògic corresponent



Com veurem més endavant, doncs, si tenim un nombre binari de n bits ($b_{n-1}, b_{n-2}, \dots, b_1, b_0$) en què b_0 representa el bit de menys pes, i V_i és el valor analògic corresponent, la relació entre la paraula digital i el valor analògic serà determinada per l'equació següent:

$$V_i = V_{FE} (b_{n-1} 2^{-1} + b_{n-2} 2^{-2} + \dots + b_1 2^{-n+1} + b_0 2^{-n}) \quad (1)$$

En què V_{FE} és una tensió de referència, normalment el nivell de fons d'escala o el màxim nivell del senyal d'entrada que podem tenir. Si calculem el valor mínim i màxim de tensió d'entrada, V_i , que podem tenir amb l'equació anterior, obtindrem:

$$V_{i_{mín}} = V_i |_{b_i=0 \forall i} = 0 \quad (2)$$

$$V_{i_{màx}} = V_i |_{b_i=1 \forall i} = V_{FE} \left(\sum_{i=1}^n 2^{-i} \right) = V_{FE} \left(\frac{2^{-1} - 2^{-n} 2^{-1}}{1 - 2^{-1}} \right) = V_{FE} \left(\frac{2^n - 1}{2^n} \right) \quad (3)$$

Si el nombre de bits n és prou gran, llavors $\frac{2^n - 1}{2^n} \rightarrow 1$ i per tant podem considerar $V_{i_{màx}} \approx V_{FE}$.

A partir de la paraula binària de n bits ($b_{n-1}, b_{n-2}, \dots, b_1, b_0$), en podem definir el valor binari fraccional com a:

$$B = b_{n-1} 2^{-1} + b_{n-2} 2^{-2} + \dots + b_1 2^{-n+1} + b_0 2^{-n} = \sum_{i=1}^n b_{n-i} 2^{-i} \quad (4)$$

Es pot veure clarament que B pot tenir 2^n valors possibles dins del marge $0 \leq B \leq 1 - 2^{-n}$, en què el valor mínim s'obté per a $b_i = 0 \forall i$ i el valor màxim per a $b_i = 1 \forall i$. Llavors, es defineix la resolució q com la diferència entre dos valors consecutius de B :

$$q = 2^{-n} = \frac{1}{2^n} \quad (5)$$

Si relacionem ara aquest resultat amb les equacions 2 i 3, veurem que les tensions V_i que podem aconseguir estaran compreses entre els valors:

$$0 \leq V_i \leq V_{FE} \left(\frac{2^n - 1}{2^n} \right) \quad (6)$$

I per tant, la resolució o el pas de quantificació q , calculat com la diferència entre dos valors consecutius de V_i , tenint en compte una tensió de referència V_{FE} , serà:

$$q = \frac{V_{FE}}{2^n} \quad (7)$$

Exemple

Suposem que tenim un codificador de 3 bits ($n = 3$) i un senyal analògic que pot prendre valors entre 0 V i 10 V. La relació que tindrem entre els dos dominis la podem representar a partir de les figures 3 i 4:

Suma de progressions geomètriques

Recordem que la suma d'una progressió geomètrica de raó r es calcula de la manera següent:

$$\sum_{i=m}^n r^i = \frac{r^m - r^{n+1}}{1 - r}$$

Figura 3. Corba de transferència de CAD. La recta correspondria al cas ideal ($n = \infty$)

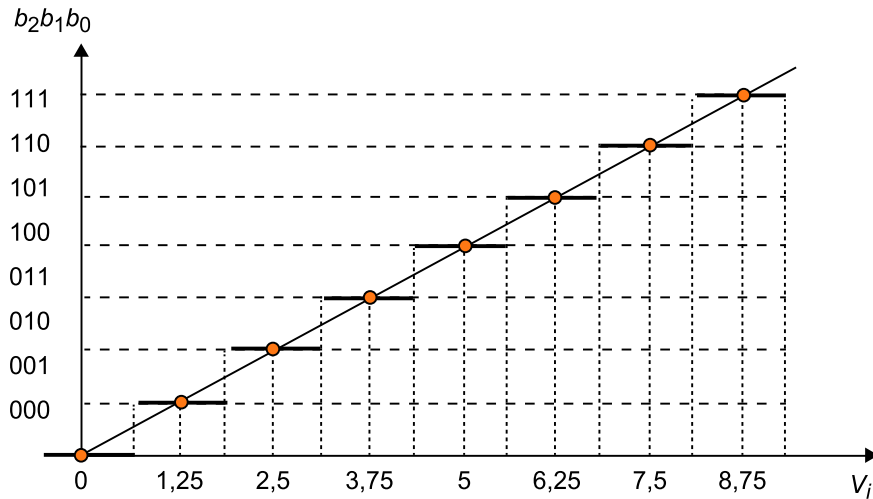
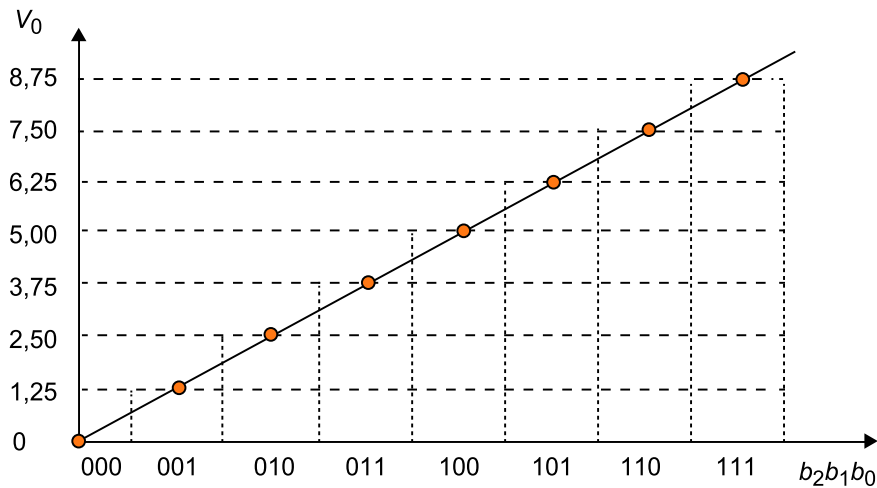


Figura 4. Corba de transferència de CDA. La recta correspondria al cas ideal ($n = \infty$)



Si en calculem la resolució, a partir de les dades de l'exemple, tindrem:

$$q = \frac{V_{FE}}{2^n} = \frac{10}{8} = 1,25 \text{ V}$$

Així, doncs, per al CAD, si tenim un valor d'entrada V_i l'associarem a la paraula digital B corresponent mitjançant l'ús de la corba de transferència de la figura 3. Per exemple, el valor $V_i = 3,2 \text{ V}$ s'associarà a la paraula 011, mentre que el valor $V_i = 9 \text{ V}$ s'associarà a la paraula 111. Fixem-nos que els llindars de decisió se situen a la meitat entre els valors de tensió obtinguts mitjançant l'equació (1):

Taula 2. Relació entre senyal analògic i paraula digital associada

Voltatge del senyal analògic (marge)	Paraula digital
0,00 V (0 V – 10/16 V)	000
1,25 V (10/16 V – 30/16 V)	001
2,50 V (30/16 V – 50/16 V)	010
3,75 V (50/16 V – 70/16 V)	011
5,00 V (70/16 V – 90/16 V)	100
6,25 V (90/16 V – 110/16 V)	101

Voltatge del senyal analògic (marge)	Paraula digital
7,50 V (110/16 V – 130/16 V)	110
8,75 V (130/16 V – 150/16 V)	111

Si ens fixem ara en el CDA (figura 4), la paraula digital $B = 011$ s'associarà a la tensió analògica $V_o = 3,75V$, i la paraula $B = 111$ a la tensió $V_o = 8,75V$. És interessant observar que la tensió màxima que ens donarà el CDA sempre serà inferior a la tensió de fons d'escala V_{FE} , tal com es dedueix de l'equació (2), però si el nombre de bits és prou elevat, aquests valors seran molt semblants i podem considerar $V_{o_{màx}} \approx V_{FE}$. Tinguem present que un CDA de 3 bits és un simple exemple acadèmic i normalment disposarem de com a mínim 8 bits ($n = 8$), per la qual cosa la relació $V_{o_{màx}} \approx V_{FE}$ serà vàlida, ja que tindrem $\frac{2^n - 1}{2^n} = \frac{255}{256} \approx 1$.

A continuació es presentaran diferents implementacions de convertidors D/A³ i A/D⁴. Per facilitar l'estudi d'aquests circuits, es presentaran primer els convertidors D/A, ja que circuitament són més simples que els A/D, i perquè en molts dels convertidors A/D s'utilitza internament, també, un convertidor D/A.

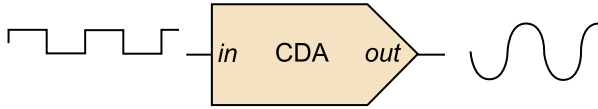
⁽³⁾Recordeu que abregem la conversió digital-analògica amb l'expressió D/A.

⁽⁴⁾Recordeu que abregem la conversió analògica-digital amb l'expressió A/D.

2. Convertidors D/A

El símbol que s'utilitza per al CDA és el mostrat en la figura 5:

Figura 5. Símbol utilitzat per a representar el CDA



Definirem un **convertidor digital-analògic** (CDA) com un dispositiu que a partir d'una paraula digital B de n bits ($b_{n-1}, b_{n-2}, \dots, b_1, b_0$) a l'entrada, produeix un senyal analògic a la sortida proporcional al valor fraccional de la paraula digital.

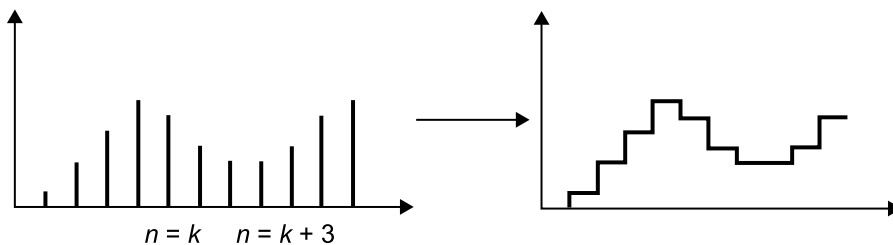
L'equació que relaciona la sortida i l'entrada és determinada, segons deduïm de l'equació (1), per:

$$V_o = V_{FE}(b_{n-1}2^{-1} + b_{n-2}2^{-2} + \dots + b_12^{-n+1} + b_02^{-n}) = V_{FE}\left(\sum_{i=1}^n b_{n-i}2^{-i}\right) \quad (8)$$

La resolució o el pas de quantificació serà, segons l'equació (7), $q = \frac{V_{FE}}{2^n}$, i la corba de transferència serà equivalent a la figura 6, en funció del nombre de bits del convertidor.

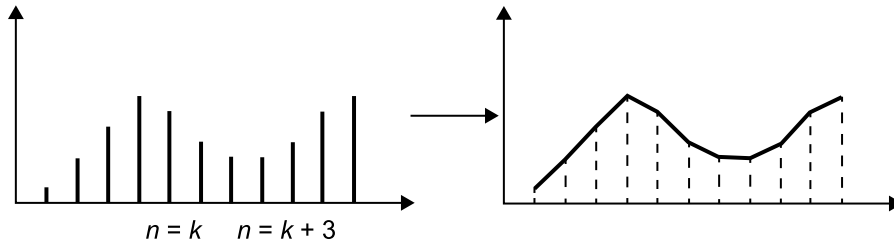
De manera simplificada podem entendre els CDA com uns dispositius que interpolen, d'alguna manera, els valors d'amplitud entre els punts d'un senyal digital, tal com es pot observar en la figura 6:

Figura 6. Mantenidor d'ordre zero o d'aproximacions per graons



En aquest cas, es tracta d'un mantenidor d'ordre zero o d'aproximacions per graons, que el que fa és mantenir el valor constant de la mostra fins a l'arribada de la mostra següent. Altres possibilitats són fer una interpolació lineal entre mostres, per exemple, tal com es mostra en la figura 7:

Figura 7. Interpolador lineal



Si es fan servir tècniques més sofisticades es pot fer una interpolació millor, però a canvi de complicar el CDA. Sense entrar en detalls, es pot demostrar que hi ha un sistema òptim d'interpolació que es deriva del teorema de mostratge o teorema de Nyquist, que ens permet obtenir un senyal analògic $x(t)$ a partir de les seves mostres:

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_s) \frac{\sin\left(\frac{\pi}{T_s}(t - nT_s)\right)}{\frac{\pi}{T_s}(t - nT_s)} = \sum_{n=-\infty}^{\infty} x[n] \text{sinc}\left(\frac{\pi}{T_s}(t - nT_s)\right) \quad (9)$$

En què $T_s = \frac{1}{F_s}$ és el que es coneix amb el nom de *període de mostratge*, F_s és la freqüència de mostratge, i es compleix $F_s \geq 2f_x$, en què f_x és la freqüència màxima del senyal analògic. Més endavant veurem en detall aquest teorema, ja que té una importància cabdal per al procés de conversió A/D. Representem la variable temporal amb t i el número de mostra amb n .

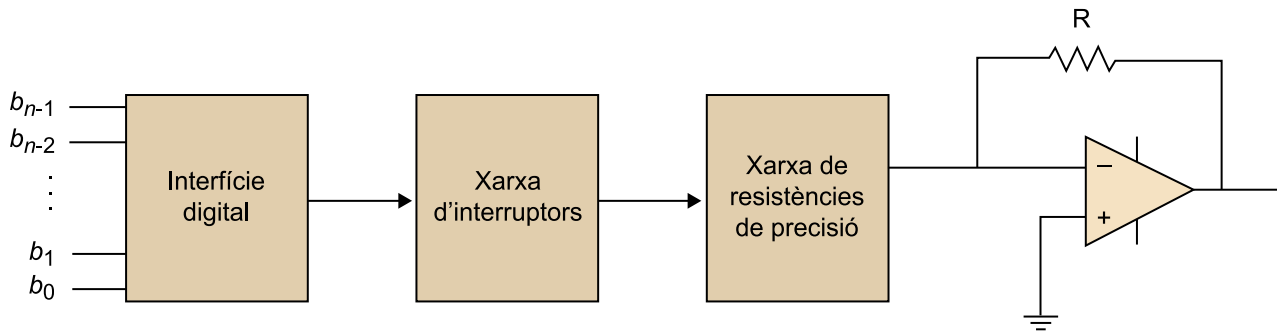
En termes generals, i segons la seva utilització, classificarem els CDA en tres grups:

- a) CDA de propòsit general (tindran entre vuit i dotze bits).
- b) CDA d'alta resolució (tindran entre dotze i vint-i-quatre bits).
- c) CDA d'alta velocitat (tindran temps de conversió molt petits, de l'ordre de 5 ns).

2.1. Tipus de CDA

Els CDA més comuns són de tipus paral·lel i la seva estructura general es presenta en la figura 8. A continuació, veurem exemples concrets de configuracions.

Figura 8. Esquema general d'un CDA de tipus paral·lel

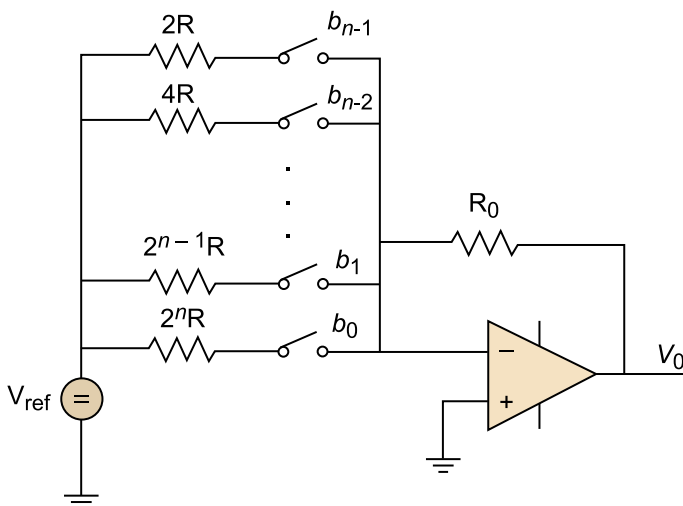


La primera etapa és una interfície digital que adapta el nivell lògic d'entrada al nivell de senyal requerit pels interruptors, i en el cas de models compatibles amb microprocessador, reté el nombre que cal convertir durant el temps que dura la conversió. L'AO de sortida converteix el corrent en tensió, i en el cas de CDA ràpids acostuma a ser extern. Els temps de conversió van des de desenes de microsegons en models més aviat lents a desenes de nanosegons en models ultraràpids. El nombre de bits n és típicament de dotze, i per tant una resolució de $q = 2^{-12}$, però també se n'utilitzen de setze bits o fins i tot de més.

2.1.1. Convertidors de resistències ponderades

L'exemple més senzill de CDA de tipus paral·lel és el que es coneix amb el nom de *CDA de resistències ponderades* (figura 9). Es tracta d'un sumador fet amb un AO en estructura inversora, de n entrades corresponents als n bits de la paraula digital B que cal convertir, totes ponderades amb resistències de valor potència de 2, segons escaigui per la seva posició.

Figura 9. Exemple d'un CDA de resistències ponderades



Aleshores, el corrent que circuli per R_o serà:

$$I_o = V_{ref} \left(\frac{b_{n-1}}{2^1 R} + \frac{b_{n-2}}{2^2 R} + \dots + \frac{b_1}{2^{n-1} R} + \frac{b_0}{2^n R} \right) = - \frac{V_o}{R_o} \quad (10)$$

En què V_{ref} és una tensió de referència externa que ens permetrà fixar el fons d'escala de treball del convertidor. La tensió de sortida s'obté com a:

$$V_o = -V_{ref} \frac{R_o}{R} \left(\frac{b_{n-1}}{2^1} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right) \quad (11)$$

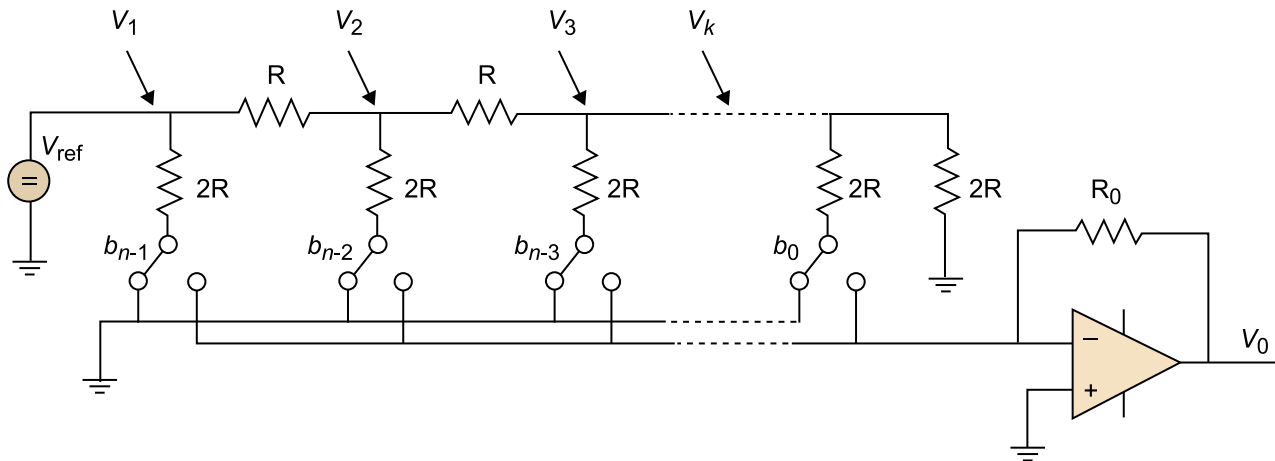
Fixem-nos que aquesta equació és igual a l'equació (1), en què ara la tensió a fons d'escala, V_{FE} és determinada per la tensió de referència V_{ref} i per la relació entre la resistència de realimentació R_o i la resistència bàsica de totes les branques R .

Un dels problemes d'aquesta estructura és la seva poca estabilitat a causa que la font de tensió de referència veu càrregues diferents per a paraules d'entrada diferents. Això es pot solucionar fent servir dos interruptors per a cada bit accionats en contrafase. Quan una resistència no es connecta cap a la sortida, aleshores l'altre interruptor la connecta a una massa real. D'aquesta manera, la font de tensió de referència veu sempre la mateixa càrrega. Un altre problema està associat a la precisió de les resistències necessàries per a implementar aquest CDA. Si els valors de resistències que són potències de 2 es desajusten, el convertidor no podrà treballar correctament i per tant el valor retornat a la sortida serà erroni.

2.1.2. Convertidors de resistències en escala

Per a solucionar aquests problemes dels convertidors de resistències ponderades s'utilitzen els CDA amb xarxes de resistències en escala (figura 10). Aquesta configuració només necessita resistències de valor R i $2R$. El corrent de sortida cap a la massa virtual és la suma dels que flueixen per cada resistència de valor $2R$ controlada pel bit corresponent de la paraula digital. El corrent complementari flueix cap a una massa real i es manté sempre la mateixa càrrega independentment de la paraula digital. Això també garanteix que el corrent que passa per cada interruptor hagi estat dividit el nombre adequat de vegades. A més, pel fet de necessitar només dos valors de resistència (R i $2R$), podem aconseguir toleràncies molt inferiors a les habituals, i evitar així que els bits de menys pes passin a ser no significatius.

Figura 10. Exemple d'un CDA de resistències en escala (R-2R)



En aquest tipus de CDA, la xarxa resistiva és formada per resistències de dos valors exclusivament, R i $2R$. L'estructura del circuit fa que des de qualsevol node de la xarxa, mirant cap a la dreta, tinguem sempre una resistència equivalent de valor $2R$. Tenint en compte que la resistència que va a terra és també de valor $2R$, el paral·lel queda sempre de valor R . D'aquesta manera, les tensions mesurades en cada un dels nodes són de la forma $V_1 = \frac{V_{ref}}{1}$, $V_2 = \frac{V_{ref}}{2}$, $V_3 = \frac{V_{ref}}{4}$... i en general $V_k = \frac{V_{ref}}{2^{k-1}}$. D'aquesta manera, la tensió de sortida serà:

$$V_o = -V_{ref} \frac{R_o}{R} \left(\frac{b_{n-1}}{2^1} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right) = -V_{ref} \frac{R_o}{R} \left(\sum_{i=1}^n b_{n-i} 2^{-i} \right) \quad (12)$$

Com que només hi ha dos valors de resistències, el circuit presenta una estabilitat tèrmica millor i una commutació molt més ràpida. A diferència del cas vist en el subapartat anterior, però, ara es necessiten dues resistències per a cada bit en lloc d'una.

Actualment, la tecnologia permet obtenir una gran precisió en els valors de condensadors integrats i és possible fabricar CDA amb condensadors de capacitat commutada en comptes de resistències, cosa que dóna lloc al que es coneix com a *CDA monolítics*.

Activitat

Compareu les característiques dels CDA comercials següents. Feu una taula que resumeixi les principals propietats, prestacions i els àmbits d'utilització.

- AD558.
- DAC08.
- DAC341.
- AD7226.

2.2. Filtre antiimatge

El senyal de sortida del CDA presenta components d'alta freqüència no volguts que poden generar problemes en algunes aplicacions. Per exemple, en un reproductor de música, aquests components podrien sobrecarregar l'amplificador d'àudio i generar productes d'intermodulació que degradarien la qualitat del senyal d'àudio.

Aquests components s'originen perquè, tal com hem comentat abans, a la pràctica el CDA no és ideal i la interpolació que fa entre mostres és subòptima.

Per a evitar aquests problemes, a la sortida del CDA hi trobarem normalment un filtre passabaix anomenat *filtre antiimatge*, la missió del qual és suavitzar els salts en el senyal analògic de sortida del convertidor eliminant aquestes components d'alta freqüència que estan per sobre de f_x (freqüència màxima del senyal analògic).

Exemple: filtre antiimatge Butterworth

Suposem que tenim un sistema CDA que com a filtre antiimatge utilitza un filtre de Butterworth d'ordre n per determinar. Suposem, també, que el senyal analògic té una freqüència màxima de 20 kHz, i el CDA utilitza com a freqüència de conversió el valor 176,4 kHz. Si cal atenuar en almenys 50 dB les freqüències imatge i el senyal d'interès no pot estar atenuat en més de 0,5 dB, determineu quin és l'ordre mínim del filtre i la seva freqüència de tall per tal de complir aquests requeriments.

Solució

Suposant que el CDA és un mantenidor d'ordre zero, l'espectre a la sortida del CDA serà el producte de l'espectre del senyal per la funció $\frac{\sin(x)}{x}$. L'efecte de $\frac{\sin(x)}{x}$ en les dues freqüències crítiques, 20 kHz i 156,4 kHz (corresponent a la freqüència imatge més propera a les freqüències en banda base del senyal), és el següent:

a) A 20 kHz:

$$\frac{\sin(x)}{x} = \frac{\sin\left(\frac{\omega T}{2}\right)}{\frac{\omega T}{2}} \bigg|_{\omega = 2\pi \cdot 20 \text{ kHz}} = 0,9789 \rightarrow -0,184 \text{ dB} \quad (13)$$

b) A 156,4 kHz:

$$\frac{\sin(x)}{x} = \frac{\sin\left(\frac{\omega T}{2}\right)}{\frac{\omega T}{2}} \bigg|_{\omega = 2\pi \cdot 156,4 \text{ kHz}} = 0,125 \rightarrow -18 \text{ dB} \quad (14)$$

en què T és el període de la freqüència de conversió.

Per tant, a la banda de pas caldrà que el filtre no atenuï més que $0,5 - 0,184 = 0,316$ dB, mentre que a la banda atenuada caldrà que atenuï almenys $50 - 18 = 32$ dB. Atès que ens diuen que el filtre ha de ser de tipus Butterworth, que tenen una resposta en freqüència del tipus:

$$|H(f)| = \frac{1}{\left[1 + \left(\frac{f}{f_c}\right)^{2m}\right]^{\frac{1}{2}}} \quad (15)$$

En què f_c és la freqüència de tall del filtre.

Llavors, caldrà que es compleixin les dues inequacions següents:

$$20 \log \left[1 + \left(\frac{20k}{f_c} \right)^{2n} \right]^{\frac{1}{2}} \leq 0,316 \text{ dB} \quad (16)$$

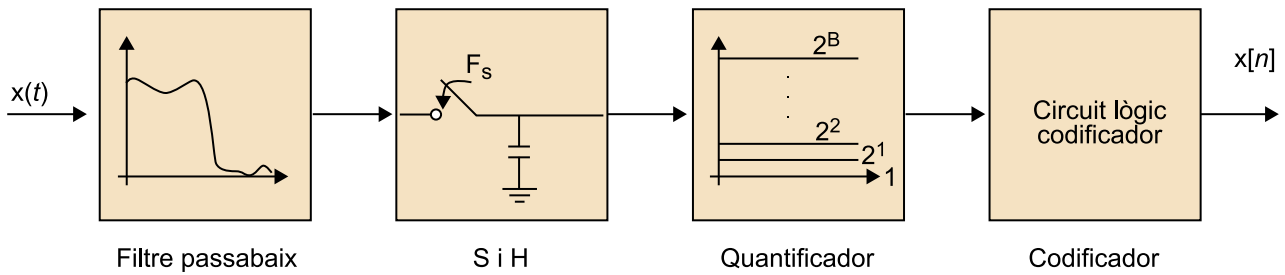
$$20 \log \left[1 + \left(\frac{156,4k}{f_c} \right)^{2n} \right]^{\frac{1}{2}} \geq 32 \text{ dB} \quad (17)$$

Resolent el sistema d'equacions (equacions 16 i 17), arribem a $n = 2,4 \cong 3$ i $f_c = 30,76 \text{ kHz}$.

3. Convertidors A/D

La conversió de senyal analògic $x(t)$ a senyal digital $x[n]$ mitjançant un convertidor analògic-digital (CAD) consta de les etapes següents (figura 11):

Figura 11. Diagrama de blocs del procés de conversió A/D



1) Mostatge del senyal cada T_s unitats de temps, (T_s es coneix amb el nom de *període de mostatge*), després d'un filtratge passabaix del senyal d'entrada. D'aquesta manera, es converteix el senyal analògic en un senyal discret en el temps però amb valors continus d'amplitud. Aquesta etapa inclou també el que es coneix amb el nom de *retenció*⁵, que no és res més que mantenir estable el senyal mentre es fa el mostatge. Per això, sovint el conjunt d'aquesta primera etapa es coneix amb el nom de *mostatge i retenció*⁶ (S i H).

⁽⁵⁾En anglès, *hold*.

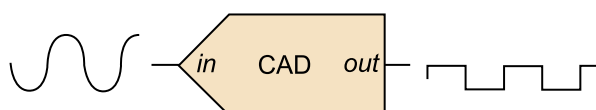
⁽⁶⁾En anglès, *sample and hold*.

2) Quantificació de l'amplitud de cada mostra en un dels 2^B nivells corresponents als B bits emprats per a representar cada mostra del senyal digital. D'aquesta manera, passem d'un senyal discret en el temps però continu en amplitud a un senyal que també té valors discrets d'amplitud.

3) El senyal obtingut es codifica en seqüències binàries de zeros i uns utilitzant alguns dels codis binaris existents, en funció de l'aplicació concreta que tinguem. Aquesta tercera etapa no l'analzarem en profunditat en aquesta assignatura, ja que cau fora de l'abast del curs.

El símbol genèric utilitzat per a representar el CAD és el mostrat en la figura 12:

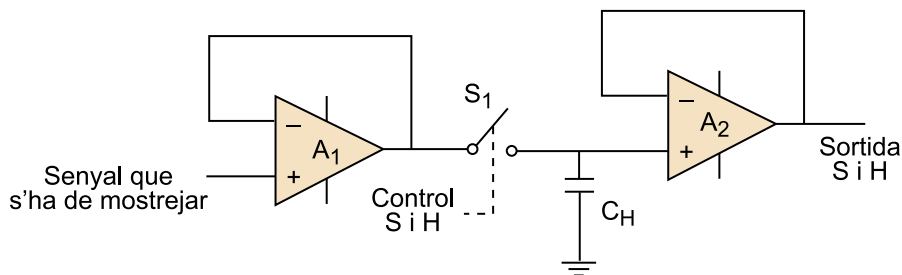
Figura 12. Símbol utilitzat per a representar el CAD



3.1. Mostratge i retenció

Per a dur a terme la conversió A/D el primer que ens cal és determinar el valor de la tensió d'entrada en instants concrets, múltiples de la freqüència de mostratge. La primera etapa d'un CAD, per tant, s'implementa amb un amplificador de mostratge i retenció (*sample and hold*, S i H). L'estructura bàsica d'un S i H és un condensador i un interruptor amb una xarxa d'adaptació d'impedàncies. L'interruptor es tanca breument durant el mostratge i s'obre durant la retenció del valor mostrat.

Figura 13. Exemple d'un S i H bàsic



L'amplificador A_1 és un AO en configuració de seguidor de tensió, que ens permet aïllar l'entrada de la resta del circuit, presenta una impedància d'entrada elevada, bona estabilitat quan es connecta a una càrrega capacitiva i corrent de sortida gran per tal de poder carregar el condensador C de manera breu mitjançant la resistència de l'interruptor. Haurà de tenir, per tant, les característiques següents: impedància d'entrada elevada, *slew-rate* elevat i corrent de sortida elevat.

L'interruptor pot estar basat, per exemple, en un transistor del tipus FET. Haurà de tenir les característiques següents: resistència en conducció (R_{ON}) petita, resistència en tall (R_{OFF}) elevada, corrents de pèrdues petits en estat OFF i gran velocitat de commutació.

L'amplificador A_2 és un AO en configuració de seguidor de tensió amb un corrent de polarització molt petit per tal de no descarregar el condensador. Haurà de tenir les característiques següents: impedància d'entrada elevada, corrents d'entrada petits, *slew-rate* elevat i corrent de sortida elevat.

La sortida d'aquest circuit és bàsicament un senyal en forma de graons de durada T_s . Per tant, el senyal $x(nT_s)$ és un senyal en forma d'escala si no tenim en compte les petites rampes de càrrega i descàrrega del condensador.

Per entendre bé les implicacions d'aquesta etapa, veurem amb un exemple què li passa a un senyal quan el mostregem en temps (figura 14).

Exemple

Suposem que $x(t)$ és un senyal de banda limitada tal que la seva transformada de Fourier és:

$$X(\omega) = 0 \quad \text{si } |\omega| > \omega_x \quad (18)$$

Suposem, també, un tren d'impulsos de període T_s :

$$p(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT_s) \quad (19)$$

La transformada de Fourier de $p(t)$ es pot escriure com a:

$$P(\omega) = \frac{2\pi}{T_s} \sum_{k=-\infty}^{+\infty} \delta(\omega - k\omega_s) \quad (20)$$

El producte d'aquests dos senyals ens donarà un senyal mostrejat en temps:

$$x_s(t) = x(t)p(t) \quad (21)$$

Per la propietat de la convolució de la transformada de Fourier, aquest producte de $x(t)$ amb $p(t)$ en el domini temporal equival a una convolució en el domini freqüencial, per la qual cosa l'espectre de $x_s(t)$ serà format per repeticions successives de l'espectre original de $x(t)$ centrats en $F_s = \frac{1}{T_s}$ (freqüència de mostratge).

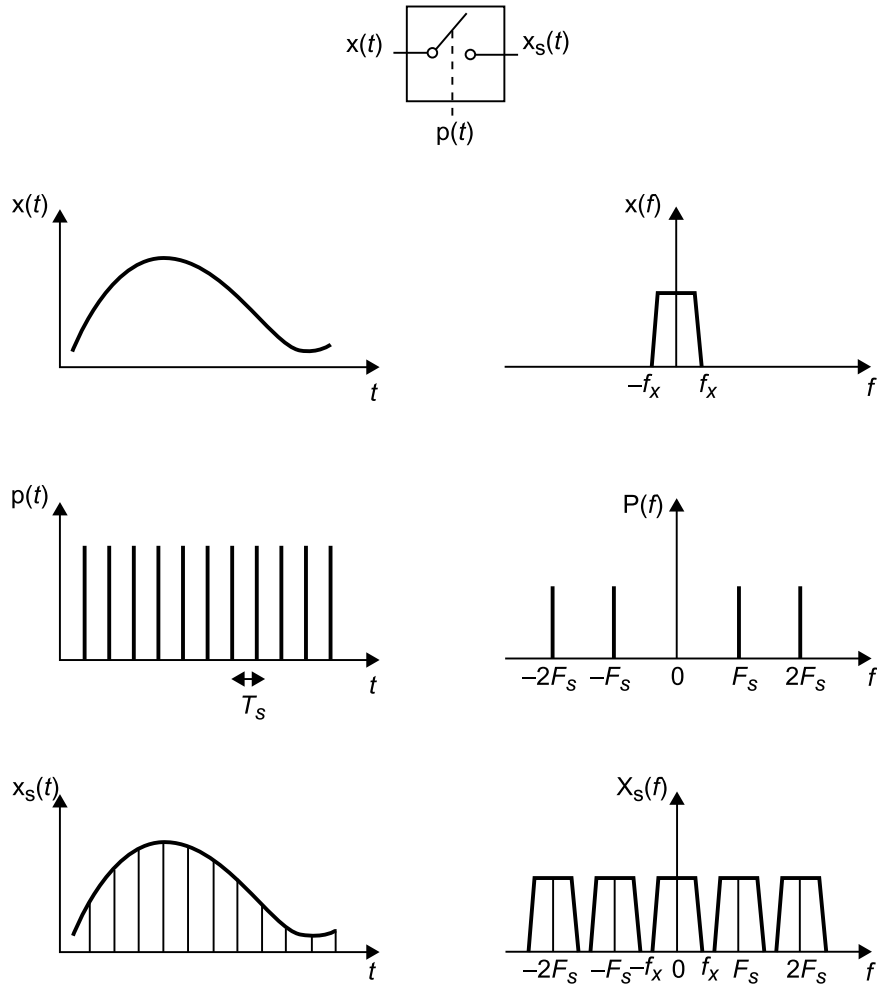
Observem que la separació entre les deltes del tren d'impulsos és determinada per la freqüència de mostratge, de manera que si F_s augmenta, també ho fa l'espai entre els impulsos, mentre que el període T_s disminueix, i viceversa. Per a evitar que les repeticions de l'espectre se solapin cal que F_s sigui com a mínim dues vegades l'amplada de banda del senyal $x(t)$. Aquest valor mínim de la freqüència de mostratge es denomina *freqüència de Nyquist*:

$$F_N = 2f_x \quad (22)$$

Si la freqüència de mostratge se situa per sota d'aquest valor tindrem solapament espectral⁷ entre les rèpliques, tal com es pot veure en la figura 15, de manera que ja no serà possible reconstruir el senyal original.

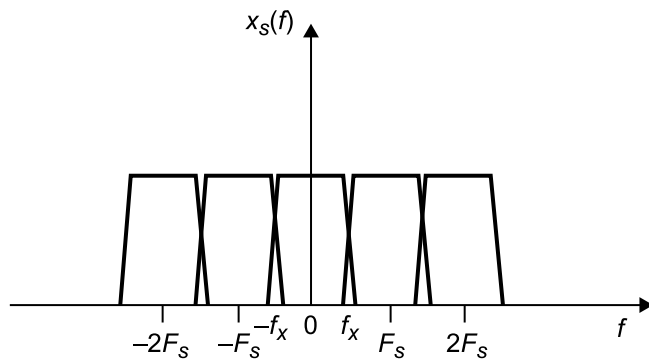
⁽⁷⁾En anglès *aliasing*; *aliàsing* és el nom que utilitzarem en endavant per a referir-nos a aquest fenomen.

Figura 14. Representació en temps i freqüència del procés de mostratge



En la pràctica, sempre hi haurà aliàsing (figura 15) a causa de l'existència d'energia del senyal fora de la banda d'interès. El que cal és determinar quin nivell d'aliàsing és acceptable per a l'aplicació concreta que s'està dissenyant, i després dissenyar el filtre antialiàsing que calgui i utilitzar la freqüència del mostratge apropiada.

Figura 15. Representació en freqüència del procés de mostratge en un cas de $F_s < 2f_x$



Resumim, doncs, formalment, el teorema de mostratge com:

- 1) Un senyal $x(t)$ de banda limitada tal que $|X(f)|=0, f > f_x$ es pot mostrejar sense perdre informació si la freqüència de mostreig, F_s , és igual o superior al doble de la freqüència màxima del senyal $x(t)$, és a dir:

$$F_s \geq 2f_x \quad (23)$$

2) Si el senyal es mostreja a una freqüència que compleixi aquest requisit, hi ha un procés de reconstrucció òptim a partir del qual es garanteix la recuperació exacta del senyal analògic $x(t)$ a partir de les seves mostres $x[n]$.

3.2. Quantificació

L'etapa de quantificació és l'equivalent a mostrejar els valors d'amplitud del senyal analògic i assignar-li un valor d'entre un conjunt finit de valors possibles (que serà determinat pel nombre de bits utilitzats en el convertidor), i és el que molt sovint es coneix com a *convertidor A/D*, tot i que hem de tenir en compte que un CAD hauria d'incloure totes les etapes presentades.

Aquesta quantificació es pot implementar de maneres molt diferents des del punt de vista tecnològic. Els circuits més ràpids són els convertidors A/D paral·lels (*flash*), que es troben en el mercat com a circuits integrats, ja que inclouen un nombre molt elevat de components. Aquests circuits sovint no requereixen un circuit S i H previ, ja que són prou ràpids.

Finalment, és important destacar que el procés de quantificació no és reversible, és a dir, no es pot invertir. Per tant, porta implícit un error de quantificació que cal tenir en compte. La selecció correcta del nombre de bits del convertidor ens permetrà minimitzar aquest error.

Vegem a continuació diferents tipus d'implementacions per als CAD.

3.2.1. CAD d'aproximacions successives

Potser el convertidor A/D més senzill és el d'aproximacions successives, que es basa a comparar la tensió d'entrada amb una tensió analògica generada internament mitjançant un convertidor D/A (figura 16). L'entrada digital del convertidor D/A s'incrementa o disminueix segons el que indiqui el resultat de la comparació. A l'inici de la conversió s'aplica al convertidor D/A l'entrada de referència 100...00, i *a posteriori* es van ajustant els bits de menys pes un per un en les successives comparacions. Per això, el valor digital es transforma en senyal analògic i es compara, mitjançant el comparador, amb el valor d'entrada V_i . Si el resultat de la comparació és positiu, estarà indicant que el valor d'entrada és superior al valor donat pel comparador d'aproximacions successives. En canvi, si és negatiu indicaria el contrari. A partir d'aquesta operació, doncs, es fixa el primer bit (MSB) a 1 (primer cas) o a 0 (segon cas), i es torna a repetir el procés posant ara el bit següent a 1 i així successivament, fins a tenir tots els bits determinats.

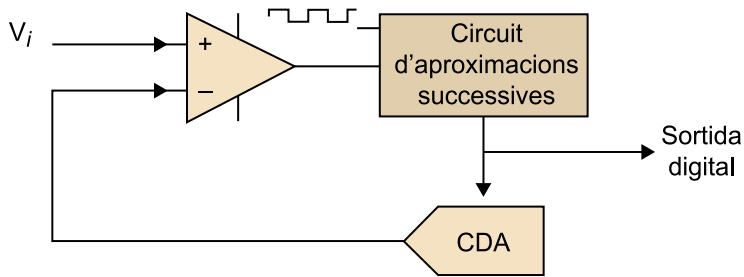
Vegeu també

Els convertidors A/D paral·lels (*flash*) s'estudien en el subapartat 3.2.3 d'aquest mòdul didàctic.

Vegeu també

L'error de quantificació causat per la incapacitat d'inversió del procés de quantificació s'analitzarà en el subapartat 3.5 d'aquest mòdul didàctic.

Figura 16. Esquema d'un convertidor d'aproximacions successives

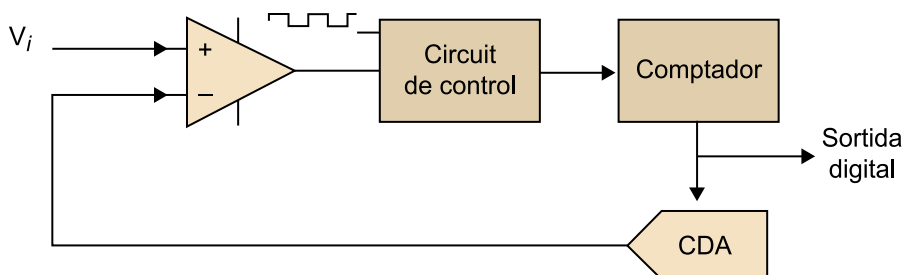


Aquest tipus de convertidor és el més utilitzat quan es requereixen velocitats de conversió entre mitjanes i altes, de l'ordre d'alguns microsegons a desenes de microsegons. El temps de conversió augmenta amb la resolució volguda (nombre de bits) però és independent del valor de l'entrada. Com que l'entrada de rellotge és la que fixa la velocitat de comparació, el temps de conversió també dependrà d'aquest valor. Un inconvenient important d'aquest mètode és la no-linealitat que presenta si l'entrada varia durant el temps de conversió. Per tant, davant d'aquest convertidor A/D cal posar un S i H i esperar que el soroll propi del senyal i el soroll inherent al S i H no siguin una limitació per a la resolució.

3.2.2. CAD de seguiment

Un altre circuit convertidor A/D molt comú és el convertidor de seguiment⁸ mitjançant un comptador (figura 17). Aquest circuit també es basa en la comparació com l'anterior, però en aquest cas la paraula digital és la sortida d'un comptador bidireccional. A l'inici de la conversió el comptador es posa a zero i la seva sortida es va incrementant fins que supera el valor a l'entrada, situació que detecta el comparador. Un cop el comptador ha agafat l'entrada, aleshores, va seguint les seves variacions incrementant o disminuint el comptador anàlogament al que faria un servosistema de llaç realimentat.

⁽⁸⁾En anglès, *tracking*.

Figura 17. Esquema d'un convertidor de seguiment (*tracking*)

El temps de conversió augmenta amb la resolució perquè com més gran és la resolució els salts del comptador són més petits i, per tant, caldrà fer-ne més per arribar a igualar el nivell de l'entrada. Com que el convertidor és controlat per un rellotge, la velocitat màxima del senyal d'entrada⁹ que el sistema és capaç de seguir serà limitada per la freqüència d'aquest rellotge, ja que el convertidor només n'incrementa o en disminueix el valor un cop per cada cicle de rellotge.

⁽⁹⁾En anglès, *slew-rate*.

3.2.3. CAD paral·lel (*flash*)

En aplicacions en les quals necessitem una velocitat de conversió alta, els CAD que hem vist fins ara no es poden utilitzar per la seva lentitud. Els convertidors paral·lels o *flash* permeten solucionar aquest problema generant tots els bits del codi final en una sola operació. Per això, s'utilitza un codificador amb prioritat de 2^n entrades, i n sortides (que seran els bits resultants de la conversió). A la vegada, i mitjançant un conjunt de resistències, es divideix el marge d'entrada V_{ref} en $2^n - 1$ nivells quantificats, que s'envien a l'entrada de $2^n - 1$ comparadors de tensió per fer la comparació del senyal d'entrada amb tots i cadascun d'aquests nivells quantificats (figura 18).

El funcionament del CAD és el següent: per a una entrada determinada per convertir, V_i , i per a una tensió de referència, V_{ref} , tots els comparadors que tinguin la seva tensió de referència inferior a V_i tindran una sortida a nivell alt en el comparador, i la resta tindrà una sortida a nivell baix. Com que aquestes sortides dels comparadors es connecten a les entrades del codificador amb prioritat, el codificador donarà a la sortida el codi corresponent a l'entrada més gran a nivell alt, és a dir, a la corresponent al primer comparador que té sortida a nivell alt (tots els que són per sota també tindran sortida a nivell alt, i per això cal que el codificador sigui amb prioritat).

El principal problema d'aquest tipus de CAD és que necessita un total de $2^n - 1$ comparadors i 2^n resistències, relació exponencial en ambdós casos, cosa que fa que tinguin un preu i un consum elevats.

Una variant que s'utilitza per a disminuir el nombre total de comparadors i resistències, intentant mantenir la velocitat del CAD, consisteix a fer la conversió per parts. Per exemple, en un CAD de vuit bits es converteixen primer els quatre bits de més pes mitjançant un CAD *flash* de quatre bits (que tindrà, per tant, quinze comparadors i setze resistències), es converteix aquest codi de sortida a analògic amb un CDA, es resta aquest valor del valor d'entrada i es torna a convertir, amb un segon CAD *flash*, el resultat d'aquesta resta, que donarà els quatre bits baixos del resultat (figura 19). En total, doncs, es necessiten trenta comparadors i trenta-dues resistències per a un A/D de vuit bits, molt inferior a les necessitats inicials comentades per a l'A/D *flash* original (255 comparadors i 256 resistències).

Figura 18. Esquema d'un convertidor paral·lel de n bits (*flash*)

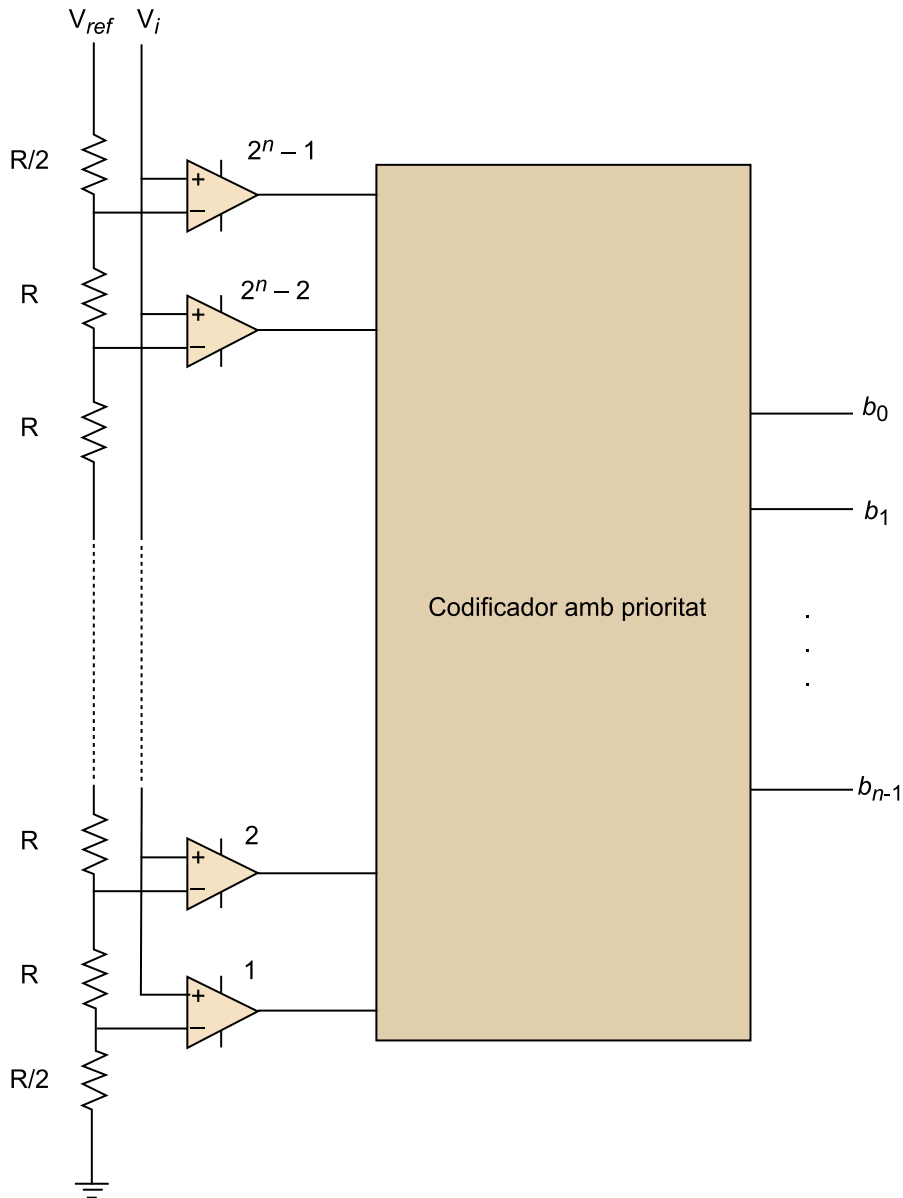
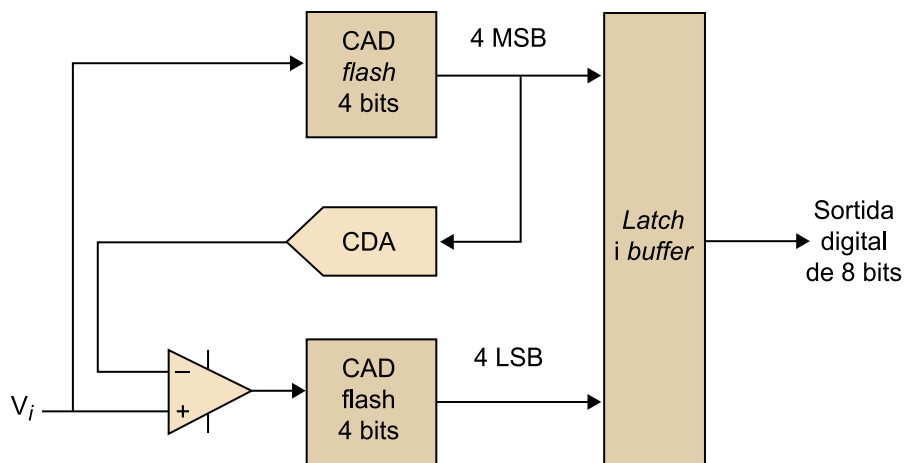


Figura 19. Esquema d'un convertidor paral·lel (*flash*) de vuit bits a partir de dos convertidors de quatre bits



Activitat

Compareu les característiques dels CAD comercials següents. Feu una taula que en resumeixi les principals propietats, prestacions i àmbits d'utilització.

- TLC2543.
- ADC207.
- ADC-HS12.
- ADC80.

3.3. Codificació

L'etapa de codificació consisteix a adaptar el codi (normalment binari natural) de sortida del quantificador al codi que ens interessi utilitzar en funció de l'aplicació. Per tant, si la codificació binària ja ens és útil, no hi haurà pròpiament una etapa extra de codificació.

De manera general, els codis més utilitzats es poden classificar en dos grups: els codis unipolars (per a codificar valors que tenen tots el mateix signe) i els codis bipolars (per a codificar valors que poden prendre qualsevol signe). Els més utilitzats dintre de cada grup són els següents:

1) Codis unipolars:

- Binari natural.
- BCD.
- Gray.

2) Codis bipolars:

- Binari natural amb bit de signe.
- Complement a la base (complement a 2, en el cas binari).
- Complement a la base -1 (complement a 1, en el cas binari).

Atès que l'estudi detallat dels diferents codis queda fora dels objectius de l'assignatura, no comentarem més aspectes sobre codificació.

3.4. El filtre antialiàsing

Tal com hem vist al principi d'aquest apartat, per tal de limitar en banda el senyal d'entrada abans de mostrejar-lo, ens cal un filtre passabaix que rep el nom de filtre antialiàsing. Idealment, aquest filtre hauria d'eliminar tots els components freqüencials per sobre de la freqüència de Nyquist. Malauradament el filtre ideal no existeix, malgrat que avui en dia ja és possible fabricar filtres molt bons utilitzant materials nous. Aquesta resposta no ideal del filtre introdueix distorsió en el senyal.

El filtre antialiàsing ha de garantir una atenuació suficient a freqüències superiors a la freqüència de Nyquist. Per tant, s'agafa com a freqüència de Nyquist efectiva la freqüència de tall de la banda atenuada i d'acord amb això se selecciona la freqüència de mostratge adient. Per tal d'acabar d'especificar el filtre antialiàsing és convenient tenir en compte les especificacions del CAD per a l'aplicació concreta. És a dir, el filtre s'hauria de dissenyar per atenuar les freqüències per sobre de la freqüència de Nyquist fins a un nivell que no fos detectable pel CAD. Aquest nivell és el que s'anomena *soroll de quantificació del CAD*. D'aquesta manera, per a un CAD de B bits el nivell mínim d'atenuació de la banda atenuada hauria de ser:

$$A_{\min} = 20 \log(2^{B+1} \sqrt{1,5}) \quad (24)$$

Si calculem aquest valor d'atenuació per a diferents nombres de bits del CAD, tindrem:

Taula 2. Estimació de l'atenuació mínima en la banda atenuada del filtre passabaix antialiàsing per a diferents resolucions del convertidor A/D

B	A_{\min} (dB)
8	56
10	68
12	80
16	104

La utilització d'un filtre analògic a l'entrada d'un sistema digital també introdueix altres restriccions, com, per exemple, la distorsió de fase. Interessa que els filtres antialiàsing siguin de fase lineal per a assegurar que els components del senyal estiguin desplaçats en fase de manera proporcional a la freqüència. Sovint, per a evitar la distorsió de fase, interessa que el filtre no sigui molt abrupte, contràriament al que interessa per a minimitzar la freqüència del mostratge i abaratir el convertidor CAD.

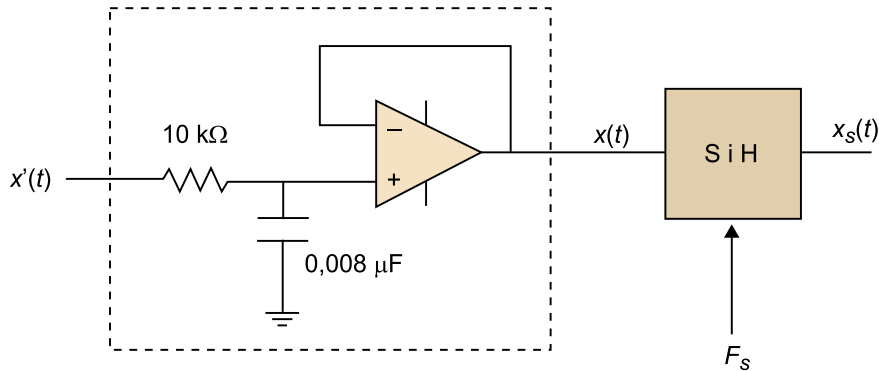
Encara que s'encareix el CAD, la tendència en el processament en temps real és utilitzar una freqüència del mostratge molt elevada i sobremostrejar el senyal. Les raons per a fer-ho d'aquesta manera són moltes. En primer lloc, els filtres antialiàsing poden ser més senzills, la qual cosa comporta una reducció important del cost i a més minimitza la distorsió de fase. En segon lloc, el sobremostreig combinat amb un cert processament digital posterior permet augmentar la relació SNR, com veurem més endavant. Finalment, per a un sistema digital amb un filtre analògic d'entrada que es pugui utilitzar en aplicacions diferents, s'ha de poder variar la freqüència de tall del filtre. Hi ha filtres ana-

lògics programables, però les seves prestacions no són gaire elevades i resulten cars. En canvi, el sobremostreig del senyal permet assolir una freqüència de tall variable mitjançant tècniques de conversió de la freqüència de mostratge.

Exemple de disseny

Imaginem un sistema molt simple d'adquisició de dades format per un filtre actiu passa-baix fet amb un AO seguit d'un S i H (figura 20). Volem determinar la mínima freqüència de mostratge, F_s , per tal que l'error d'aliàsing no arribi en cap cas a un 2% del nivell de senyal a la banda de pas.

Figura 20. Esquema d'un sistema d'adquisició de dades senzill



El filtre actiu (requadre) s'utilitza per a limitar en banda el senyal $x(t)$ abans de ser mostrejat pel S i H a la freqüència de mostratge F_s .

Solució

La resposta del filtre l'obtenim de l'anàlisi del circuit mostrada en la figura 20. Per tant, l'única manera de limitar l'error d'aliàsing serà escollint una freqüència de mostratge adequada. Fixem-nos que el filtre és format per una estructura RC simple i un AO en configuració de seguidor de tensió, que ens permet aïllar l'entrada de la resta del circuit. Com que el guany del seguidor de tensió és 1, la resposta en amplitud d'aquest filtre val (de la cèl·lula RC):

$$|H(f)| = \frac{1}{\left[1 + \left(\frac{f}{f_c}\right)^2\right]^{1/2}} \quad (25)$$

en què la freqüència de tall del filtre passa-baix és $f_c = \frac{1}{2\pi RC}$, que amb les dades de la figura 20 es correspon amb un valor $f_c = 2$ kHz. L'espectre del senyal d'entrada suposarem que té una amplada de banda força més gran que la banda passant del filtre que s'utilitza de manera que l'espectre del senyal $x(t)$ és bàsicament determinat per la forma del filtre. Com que ens demanen un error d'aliàsing més petit del 2% del nivell de senyal a la banda de pas, s'haurà de complir la desigualtat següent:

$$\text{error d'aliàsing} < \frac{2}{100} X(f)_{f=2.000} \quad (26)$$

A la freqüència de tall (f_c) del filtre sabem que el nivell de senyal serà 3 dB per sota del màxim, valor que obtenim si substituïm $f = f_c$ en l'equació (25):

$$|H(f_c)| = \frac{1}{\left[1 + \left(\frac{f_c}{f_c}\right)^2\right]^{1/2}} = \frac{1}{\sqrt{2}}$$

Per tant, tindrem $X(f)_{f=2.000} = \frac{1}{\sqrt{2}} = 0,7071$ i llavors:

$$\frac{2}{100} \frac{1}{\sqrt{2}} = 0,01414 > \frac{1}{\left[1 + \left(\frac{f_a}{f_c}\right)^2\right]^{1/2}} \quad (27)$$

En què f_a és la freqüència d'aliàsing i f_c és la freqüència de tall del filtre. Aïllant f_a de l'equació, arribem a $f_a > 141,4$ kHz. Per tant, la freqüència mínima de mostreig que ens assegura un error inferior al 2% serà determinada per $F_{s\ min} > f_c + f_a = 2$ kHz + 141,4kHz = 143,4kHz. Per tant, una bona F_s seria $F_s = 150$ kHz.

3.5. Error de quantificació

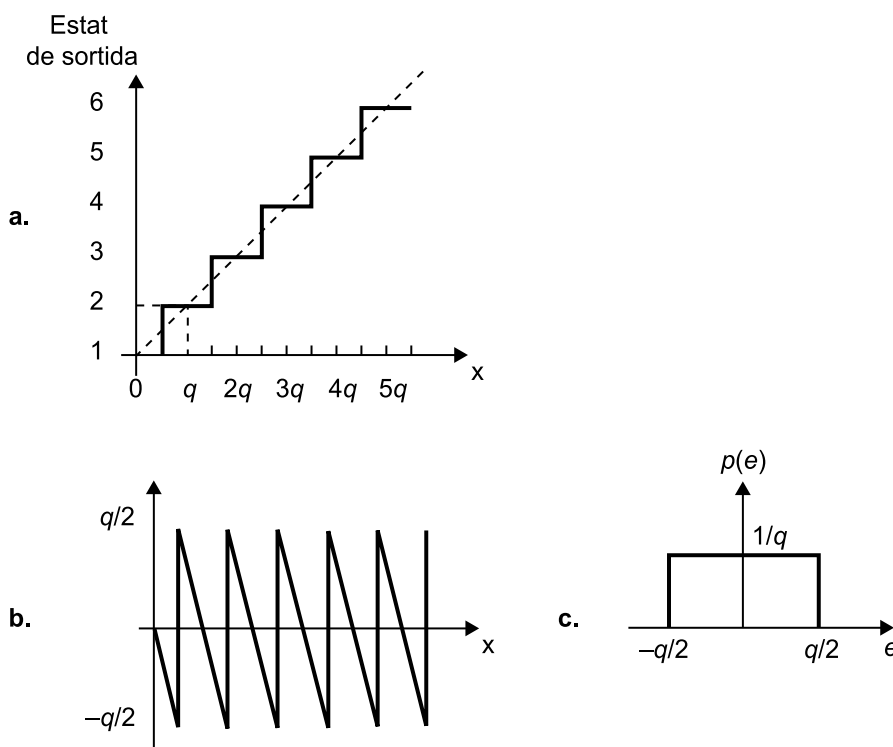
Com hem vist anteriorment, la quantificació del senyal consisteix a assignar a cada mostra del senyal discret en el temps un dels 2^B valors disponibles amb els B bits del codificador. Cadascun d'aquests valors es correspon amb una paraula digital de B bits.

Vegeu també

De la quantificació del senyal, se n'ha parlat en el subapartat 3.2 d'aquest mòdul didàctic.

A diferència del procés de mostreig que era lineal, el procés de quantificació (figura 21) és no lineal. A més, ja sabem que la quantificació introdueix un error que no es podrà corregir *a posteriori* perquè en el procés es perd la informació del valor exacte de la mostra. Per tant, interessa conèixer i valorar convenientment les limitacions inherents al procés de quantificació.

Figura 21



a. Quantificació lineal, b. error de quantificació i c. la seva funció de densitat de probabilitat

El nivell d'error és una funció del nombre de bits que utilitzi el codificador i és com a màxim igual a 1/2 del LSB suposant que la quantificació és uniforme. Per *quantificació uniforme* entendrem que el marge de valors que pren el senyal es divideix de manera regular utilitzant un pas o interval de quantificació (q).

Per exemple, en un CAD de 12 bits amb un marge de valors d'entrada de ± 10 V tindrem un LSB de $\frac{20}{2^{12}}$ V, és a dir, 4,9mV, i per tant un error de quantificació de 2,45 mV.

Estudiarem, doncs, quin és el nivell d'error introduït en aquest tipus de quantificació i presentarem també altres possibles estratègies (quantificació no uniforme).

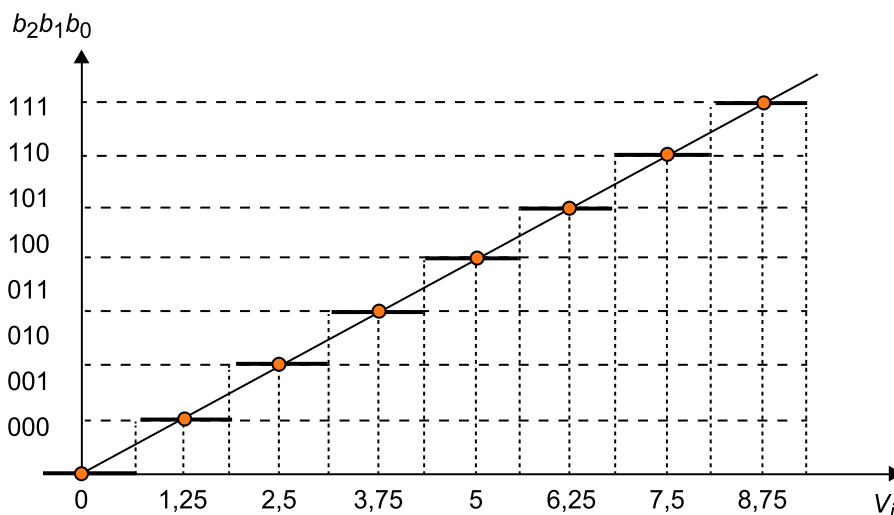
3.5.1. Quantificació uniforme

En un quantificador uniforme, el pas de quantificació és determinat per l'equació (7), que recordem a continuació:

$$q = \frac{V_{FE}}{2^n} \quad (28)$$

en què V_{FE} és el marge de valors a l'entrada del quantificador. Tal com hem vist en la figura 3 i que repetim aquí per comoditat (figura 22), als valors de senyal entre 0 i $q/2$ se'ls assigna l'estat 1, als valors entre $q/2$ i $3q/2$ l'estat 2, i així successivament, de manera que als valors entre $(k - \frac{3}{2}q) \leq x < (k - \frac{1}{2}q)$ se'ls assignaria l'estat k . El nombre d'estats de sortida, que serà igual a 2^n per a un CAD de n bits, determinarà la resolució (constant) del quantificador. D'aquesta manera, doncs, augmentant el nombre de bits aconseguirem disminuir l'error comès en aquesta etapa del sistema.

Figura 22. Corba de transferència de CAD. La recta correspondria al cas ideal ($n = \infty$)



El màxim error comès pel quantificador és $\pm q/2$, tal com es dedueix del fet de tenir el llindar de decisió a la meitat de cada interval, i la seva evolució respecte del valor d'entrada té forma de dent de serra. Si tots els valors del marge V_{FE} tenen la mateixa probabilitat d'aparició, l'error de quantificació es pot interpretar com un soroll aleatori amb funció de densitat de probabilitat

rectangular (figura 21). És el que s'anomena *soroll de quantificació* (e). El valor mitjà d'aquest soroll és nul, tal com es pot extreure del càlcul presentat en l'equació (29):

$$\int_{-\infty}^{+\infty} e p(e) de = \int_{-\infty}^{+\infty} e \frac{1}{q} de = \frac{1}{q} \int_{-\frac{q}{2}}^{+\frac{q}{2}} e de = 0 \quad (29)$$

D'altra banda, la variància serà:

$$\sigma_e^2 = \int_{-\infty}^{+\infty} e^2 p(e) de = \frac{1}{q} \int_{-\frac{q}{2}}^{+\frac{q}{2}} e^2 de = \frac{q^2}{12} \quad (30)$$

L'efecte de la quantificació del senyal es pot descriure en termes de relació senyal-soroll. Es parla de *relació senyal-soroll de quantificació*⁽¹⁰⁾ (SQNR). Per a un senyal de tipus sinusoidal unipolar amb amplitud entre 0 i $A = 2^n q$ (és a dir, $A = V_{FE}$), el valor quadràtic mitjà o potència mitjana del senyal serà:

⁽¹⁰⁾En anglès, *signal to quantization noise ratio* (SQNR).

$$\frac{1}{2\pi} \int_0^{2\pi} (2^n q)^2 \sin^2(x) dx = \frac{2^{2n} q^2}{2} \quad (31)$$

Per tant, la relació senyal-soroll de quantificació serà:

$$\text{SQNR(dB)} = 10 \log\left(\frac{2^{2n} q^2}{\frac{q^2}{12}}\right) = 10 \log(6 \cdot 2^{2n}) = 7,78 + 6,02n \quad (32)$$

En el càlcul de la SQNR hem considerat que el senyal d'entrada estava ajustat al fons d'escala. Si el senyal no està ben ajustat a tot el marge possible de variació, estarem cometent un error més gran. Per això és molt important que tinguem aquest marge de variació ben adaptat.

Si considerem ara un senyal sinusoidal però bipolar, amb la mateixa amplitud A de pic a pic (altra vegada considerant que aquesta amplitud pic a pic cobreix tot el marge del convertidor), la potència mitjana del senyal serà un factor 4 inferior, per la qual cosa:

$$\text{SQNR(dB)} = 10 \log\left(\frac{2^{2n} q^2}{\frac{8}{12}}\right) = 10 \log\left(\frac{3}{2} \cdot 2^{2n}\right) = 1,76 + 6,02n \quad (33)$$

Tots aquests valors són els màxims teòrics que podríem tenir de relació senyal-soroll. A la pràctica, per tant, serem sempre per sota d'aquests límits. Observem que en els dos casos (equacions 32 i 33) la relació senyal-soroll millora uns 6 dB per cada bit addicional del convertidor A/D. Ara bé, el nombre de bits és limitat per la velocitat necessària, la mateixa relació senyal-soroll del senyal analògic (SNR) i el cost econòmic que ens puguem permetre. Per exemple, no cal emprar un convertidor A/D que proporcioni una relació senyal-soroll millor que la que té el mateix senyal analògic. L'única cosa que aconseguiríem fent això seria representar millor el soroll. En moltes aplicacions una resolució de entre dotze i setze bits és més que suficient.

Exemple

Si el marge dinàmic d'un CAD ha de ser superior a 80 dB i les mostres s'han de digitalitzar amb una precisió superior a 1/2 LSB, determineu la resolució mínima, en bits, que necessitarem.

Solució

El marge dinàmic s'expressa normalment en decibels i, en funció del nombre de bits del codificador, s'escriu com a

$$D = 20 \log(2^n) \quad (34)$$

equació que s'obté de fer el quocient entre el màxim nivell de tensió a l'entrada del CAD que és $(2^n - 1)q \approx 2^n q$, i el mínim nivell de tensió exceptuant el zero que no és distingible del soroll, és a dir, q .

Utilitzant aquesta expressió obtindrem:

$$80 = 20 \log(2^n) \rightarrow n = \frac{4}{\log(2)} = 13,28 \approx 14 \quad (35)$$

Caldran, per tant, catorze bits (hem d'agafar sempre l'enter superior més proper).

3.5.2. Quantificació no uniforme

La quantificació uniforme no sempre és la millor opció, ja que precisament per la característica uniforme del quantificador hem vist que tenim un error de quantificació absolut igual en qualsevol dels intervals de quantificació, però aquest error vist amb relació a l'interval en què ens trobem pot ser molt important. Dit d'una altra manera, per a amplituds d'entrada molt petites l'error relatiu és molt gran i, per tant, la relació senyal-soroll pot ser molt baixa per a aquestes entrades petites. Si volem mantenir constant la relació senyal-soroll en un marge d'amplituds gran, el que podem fer és variar l'interval de quantificació de manera proporcional a l'amplitud d'entrada.

Aquest tipus de quantificació s'utilitza, per exemple, en la transmissió de veu amb la tècnica de modulació d'impulsos codificats¹¹ (PCM). En aquest cas, una quantificació uniforme comportaria una degradació més gran de les amplituds més baixes del senyal. A més, com que l'orella humana pot distingir senyals d'amplitud elevada en entorns molt sorollosos, el fet que el soroll sigui més gran per a amplituds grans del senyal no és un problema crític. D'aquesta ma-

Marge dinàmic

És el quocient entre els nivells màxim i mínim de senyal que el convertidor pot tenir a l'entrada.

⁽¹¹⁾En anglès, *pulse code modulation* (PCM).

nera, utilitzant un quantificador no uniforme aconseguim reduir el nombre de bits necessaris del codificador de dotze (cas del quantificador uniforme) a vuit (cas del quantificador no uniforme).

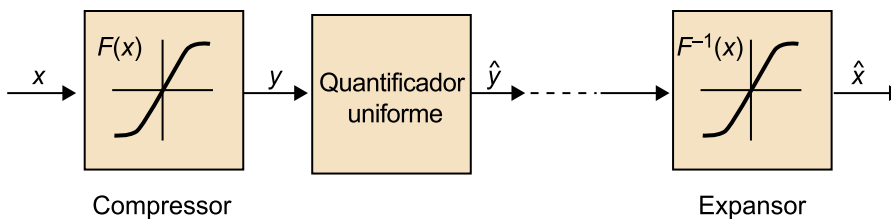
L'amplada de banda necessària per a tenir intel·ligibilitat en transmissió de veu és d'entre 3 kHz i 4 kHz. Això implica una freqüència de mostratge mínima de 8 kHz, segons deduïm del teorema de mostratge vist anteriorment. Amb aquesta freqüència, un CAD amb un codificador de dotze bits donaria 96 kbps a la sortida. Ara bé, un canal bàsic de telefonia té una amplada de banda de 64 kbps, valor que aconseguirem si utilitzem només vuit bits en comptes de dotze. Evidentment, si canviem directament el nombre de bits del convertidor de dotze a vuit, perdrem qualitat en la conversió. Tenint en compte que el senyal de veu està format bàsicament per amplituds petites (que són les que realment importen per a la intel·ligibilitat i la percepció de la parla), es poden destinar més codis a aquestes amplituds i menys codis a les amplituds grans. Per tant, la codificació no uniforme ens permetrà repartir ara els intervals d'una altra manera, i posar més èmfasi en els nivells baixos de senyal i menys en els nivells alts, per repartir tots els intervals disponibles amb vuit bits dins del marge dinàmic del CAD.

Vegeu també

Del teorema de mostratge, se n'ha parlat en el subapartat 3.1 d'aquest mòdul didàctic.

La quantificació no uniforme es pot descriure amb el model de la figura 23:

Figura 23. Model del quantificador no uniforme



La manera pràctica d'implementar un quantificador no uniforme és a partir de dos blocs bàsics: una funció $F(x)$ no lineal, que rep el nom de *compressor*, i un quantificador uniforme. La $F(x)$ és monòtona creixent amb simetria senar, que pren valors d'amplitud entre $-V$ i $+V$, amb $F(V) = V$ i $F(0) = 0$. Com que $F(x)$ és monòtona, llavors és una funció invertible. Per tant, aplicant la característica $F^{-1}(x)$ a la sortida del compressor es recupera l'entrada x sense pèrdua d'informació. Aquesta funció inversa $F^{-1}(x)$ rep el nom d'*expansor* i s'utilitza en el receptor una vegada reconvertit el senyal digital a format analògic.

El fet d'utilitzar aquesta funció $F(x)$ fa que les amplituds petites del senyal s'estirin, i en canvi això no passi per a les amplituds grans. L'efecte que produeix és una compressió del pas de quantificació per a valors petits del senyal d'entrada.

Algunes possibles formes del compressor serien les següents:

a) Llei μ (sistema PCM americà):

$$F(x) = V \cdot \operatorname{sgn}(x) \frac{\ln\left(1 + \mu \frac{|x|}{V}\right)}{\ln(1 + \mu)}, \quad -V \leq x \leq V \quad (36)$$

En què $\operatorname{sgn}(x)$ és la funció signe de x . El valor de μ dependrà del nombre de bits n utilitzats. Per a $n = 7$ s'agafa $\mu = 100$, mentre que per a $n = 8$ s'agafa $\mu = 255$.

b) Llei A (sistema PCM europeu):

$$F(x) = \frac{A|x|}{1 + \ln(A)}, \quad |x| \leq \frac{V}{A} \quad (37)$$

$$F(x) = V \frac{1 + \ln\left(A + \frac{|x|}{V}\right)}{1 + \ln(A)}, \quad \frac{V}{A} \leq |x| \leq V \quad (38)$$

En què el valor de A típicament utilitzat és $A = 87,7$.

Resum

En aquest mòdul ens hem centrat en l'estudi dels sistemes CAD i CDA com a elements molt importants en qualsevol equip d'instrumentació.

Per a l'etapa CDA hem pogut veure els diferents tipus de convertidors, molts dels quals basats en AO, i també les seves característiques més importants, i els criteris de disseny del filtre antiimatge necessari en aquesta etapa.

Per a l'etapa CAD, hem pogut veure la importància de la freqüència de mostreig i l'efecte que té en tot el procés, de manera que la seva elecció és un pas crític en la correcta digitalització de qualsevol senyal analògic. Així mateix, en l'etapa de quantificació hem pogut veure que inevitablement estarem introduint un error en el sistema a causa de la mateixa naturalesa de discretització de l'amplitud del senyal i, per tant, és important controlar el nivell màxim d'error que ens podem permetre. Finalment, en l'etapa de codificació hem pogut veure la diversitat de codis possibles per utilitzar, l'elecció del qual dependrà fonamentalment de l'aplicació que estiguem duent a terme.

Exercicis d'autoavaluació

1. Suposem un termòmetre que ens permet mesurar la temperatura ambiental en una casa, compresa entre 0 i 50 °C. El dispositiu té una sensibilitat de 20 mV/°C. Si volem tenir una resolució de 0,1 °C i sortida (V_o) digital, determineu el marge d'entrada, el nombre de bits i l'error de quantificació del CAD.

2. Suposem un senyal sinusoidal del tipus $V_i(t) = 5\sin(2\pi ft)$ que digitalitzarem amb un convertidor de vuit bits. Calculeu la màxima freqüència, f , que pot tenir aquest senyal si volem que la variació màxima d'aquest senyal durant tot el temps de conversió no superi l'error de quantificació. Considereu que el fons d'escala del convertidor és $V_{FE} = 10$ V per aprofitar-ne al màxim el marge dinàmic i que el temps de conversió és de $t_c = 100\mu s$.

Solucionari

Exercicis d'autoavaluació

1. Calculem el marge d'entrada com la diferència de tensions entre el valor mínim de temperatura i el valor màxim de temperatura que volem mesurar.

- Per a $T = 0\text{ °C}$ obtenim: $V_o = 0\text{ V}$.
- Per a $T = 50\text{ °C}$ obtenim: $V_o = 20\text{ mV/°C} \times 50\text{ °C} = 1\text{ V}$.

Per tant, el marge d'entrada serà $M = 1 - 0 = 1\text{ V}$.

Per a determinar el nombre de bits del CAD haurem d'utilitzar la dada de la resolució que volem tenir. Per tant, si la resolució ha de ser de $0,1\text{ °C}$, això vol dir que en tensió s'ha d'aconseguir una resolució millor o igual que $0,1\text{ °C} \times 20\text{ mV/°C} = 2\text{ mV}$.

Llavors, el nombre de bits s'obtindrà a partir de l'equació (7), com a:

$$q = \frac{V_{FE}}{2^n} \quad (39)$$

En el nostre cas, $q = 2\text{ mV}$ i $V_{FE} = M = 1\text{ V}$.

Aïllant el valor de n arribem a:

$$2^n \geq \frac{1\text{ V}}{2\text{ mV}} = 500 \quad (40)$$

i per tant:

$$n \log(2) \geq \log(500) \quad (41)$$

De la qual obtenim finalment: $n \geq 8,97$.

En definitiva, com que el nombre de bits ha de ser un enter, haurem d'agafar un CAD de com a mínim nou bits per aconseguir la resolució demanada.

Finalment, per calcular l'error de quantificació del CAD, si suposem que és un convertidor uniforme, aplicarem la fórmula $e = \pm \frac{1}{2}\text{ LSB}$, que per al nostre cas serà:

$$e = \pm \frac{1}{2} \frac{1}{2^9} = 0,977\text{ mV} \quad (42)$$

Fixem-nos que l'error de quantificació és pràcticament la meitat de q , i de fet el podem considerar així normalment. La diferència numèrica és determinada pel valor de n escollit a la pràctica (un enter), que no és exactament el valor de la igualtat.

2. El senyal d'entrada és un sinus d'amplitud $A = 5$, per tant es mourà entre -5 V i $+5\text{ V}$. Per això, ens diuen que el fons d'escala del convertidor el considerem de 10 V .

L'error de quantificació és determinat per l'equació:

$$e = \pm \frac{1}{2}\text{ LSB} \quad (43)$$

que per al nostre cas serà:

$$e = \pm \frac{1}{2} \frac{V_{FE}}{2^n} = \pm \frac{1}{2} \frac{10}{2^8} = \pm \frac{10}{2^9} = 0,0195\text{ V} = 19,5\text{ mV} \quad (44)$$

La variació màxima en un senyal sinusoidal es dona en els seus creuaments per zero, ja que és on la seva derivada és màxima. Per tant, durant el temps de conversió (t_c) valdrà:

$$\text{variació màxima} = \left. \frac{d}{dt} V_i(t) \right|_{\text{màx}} \cdot t_c \quad (45)$$

Com que aquesta variació ha de ser inferior a l'error de quantificació, arribem a:

$$5 \cos(2\pi f t) 2\pi f \Big|_{\text{màx}} \leq \frac{e}{t_c} \quad (46)$$

Com que el valor màxim del cosinus és ± 1 , i considerant un temps de conversió $t_c = 100 \mu\text{s}$, arribem a:

$$5 \cdot 2\pi f \leq \pm \frac{19,5 \text{ mV}}{100 \mu\text{s}} = 195 \text{ V/s} \quad (47)$$

De la qual obtenim finalment:

$$f_{\text{màx}} = \frac{195 \text{ V/s}}{5 \cdot 2\pi} \approx 6,21 \text{ Hz} \quad (48)$$

Fixem-nos que aquesta freqüència és molt petita, i en aquestes condicions no podríem mostrejar un senyal sinusoidal de freqüència més gran que 6 Hz, aproximadament. Aquest inconvenient succeeix perquè en aquest sistema de conversió no estem utilitzant cap S i H.

Amb la incorporació d'un circuit de mostratge i retenció, atès que aquest manté pràcticament constant el valor de la mostra mentre dura el procés de conversió, l'única restricció que tindrem, aproximadament, serà la que ens indica el teorema de Nyquist.

D'aquesta manera, si ara considerem que tenim un S i H a l'entrada del CAD, i amb les mateixes consideracions anteriors, la freqüència màxima seria:

$$f_{\text{màx}} = \frac{F_s}{2} = \frac{10 \text{ kHz}}{2} = 5 \text{ kHz} \quad (49)$$

Aquest valor ja és un valor molt més elevat que l'anterior i per tant tenim un marge de senyals d'entrada força més elevat per a poder convertir amb un CAD de 8 bits i $t_c = 100 \mu\text{s}$.

Glossari

aliàsing *m* Efecte de solapament freqüencial que es produeix en el procés de mostratge d'un senyal analògic quan la freqüència de mostratge no compleix el criteri de Nyquist.

CAD *m* Dispositiu electrònic que converteix un senyal analògic en un altre de digital.

CDA *m* Dispositiu electrònic que converteix un senyal digital en un altre d'analògic.

estabilitat tèrmica *f* Variació d'un paràmetre davant de canvis en la temperatura. Diem que tenim una bona estabilitat tèrmica quan aquesta variació és molt petita (idealment zero).

freqüència de mostratge *f* Freqüència a la qual agafem mostres del senyal que estem mostrejant. Es correspon a l'invers del període de mostratge.
en sampling frequency

LSB *m* Sigla utilitzada per a referir-nos al bit menys significatiu d'una paraula digital (*least significant bit*).

marge dinàmic *m* És el quocient entre els nivells màxim i mínim de senyal que el convertidor pot tenir a l'entrada.

MSB *m* Sigla utilitzada per a referir-nos al bit més significatiu d'una paraula digital (*most significant bit*).

període de mostratge *m* Instant de temps entre dues mostres consecutives del senyal que estem mostrejant.
en sampling period

resolució d'un convertidor *f* Diferència entre dos valors consecutius en un convertidor D/A.

sampling frequency *f* Vegeu freqüència de mostratge.

sampling period *m* Vegeu període de mostratge.

senyal analògic *m* Senyal en què el valor d'amplitud pot ser qualsevol.

senyal continu *m* Senyal definit per a qualsevol instant de temps.

senyal digital *m* Senyal en què els valors d'amplitud estan restringits a un conjunt prefixat de valors possibles.

senyal discret *m* Senyal definit en instants determinats de temps, normalment múltiples d'un període fonamental T .

Bibliografia

Dunn, W. C. (2005). *Fundamentals of industrial instrumentation and process control*. Nova York: McGraw-Hill.

Pallas-Areny, R. (2008). *Sensores y acondicionadores de señal*. Barcelona: Marcombo.

Park, J.; Mackay, S. (2003). "Analog and digital signals". A: *Practical data acquisition for instrumentation and control systems* (cap. 2). Oxford: Newnes, Elsevier.

Seitzer, D.; Pretzl, G.; Hamdy, N. A. (1983). *Electronic analog-to-digital converters*. Nova York: John Wiley & Sons.

