
Convertidores de señal

PID_00257322

Ferran Domínguez Gros
Jordi Solé Casals

Tiempo mínimo de dedicación recomendado: 4 horas



Ferran Domínguez Gros

Ingeniero técnico en Telecomunicaciones (Universitat Politècnica de Catalunya). Colaborador de la UOC desde el 2003 en los Estudios de Ingeniería Informática, ETTT, grado de Telecomunicación, posgrado y máster de Seguridad informática. Trabaja desde hace tiempo en diferentes empresas privadas del sector de las telecomunicaciones, informático y sanitario en diferentes proyectos de las TIC.

Jordi Solé Casals

Doctor ingeniero de Telecomunicaciones (Universitat Politècnica de Catalunya). Licenciado en Humanidades (Universitat Oberta de Catalunya). Colaborador de la UOC desde el 2001 en los Estudios de Ingeniería Informática, ETTT, grado de Telecomunicación. Actualmente es profesor titular en el Departamento de Tecnologías Digitales y de la Información de la Universidad de Vic. Su ámbito de investigación se centra en el procesamiento de señales biomédicas.

Tercera edición: febrero 2019
© Ferran Domínguez Gros, Jordi Solé Casals
Todos los derechos reservados
© de esta edición, FUOC, 2019
Av. Tibidabo, 39-43, 08035 Barcelona
Diseño: Manel Andreu
Realización editorial: Oberta UOC Publishing, SL

Ninguna parte de esta publicación, incluido el diseño general y la cubierta, puede ser copiada, reproducida, almacenada o transmitida de ninguna forma, ni por ningún medio, sea éste eléctrico, químico, mecánico, óptico, grabación, fotocopia, o cualquier otro, sin la previa autorización escrita de los titulares del copyright.

Índice

| | |
|---|----|
| Introducción | 5 |
| Objetivos | 6 |
| 1. Conceptos generales | 7 |
| 2. Convertidores D/A | 12 |
| 2.1. Tipos de CDA | 13 |
| 2.1.1. Convertidores de resistencias ponderadas | 14 |
| 2.1.2. Convertidores de resistencias en escala | 15 |
| 2.2. Filtro antiimagen | 17 |
| 3. Convertidores A/D | 19 |
| 3.1. Muestreo y retención | 20 |
| 3.2. Cuantificación | 23 |
| 3.2.1. CAD de aproximaciones sucesivas | 23 |
| 3.2.2. CAD tipo servo | 24 |
| 3.2.3. CAD paralelo (<i>flash</i>) | 25 |
| 3.3. Codificación | 27 |
| 3.4. El filtro <i>antialiasing</i> | 28 |
| 3.5. Error de cuantificación | 30 |
| 3.5.1. Cuantificación uniforme | 31 |
| 3.5.2. Cuantificación no uniforme | 34 |
| Resumen | 37 |
| Ejercicios de autoevaluación | 39 |
| Solucionario | 40 |
| Glosario | 42 |
| Bibliografía | 43 |

Introducción

El hecho de que prácticamente todo el tratamiento de señales que actualmente se lleva a cabo se haga en dispositivos electrónicos, como por ejemplo ordenadores, microcontroladores u otros sistemas, obliga a que las señales que hay que tratar se puedan representar con ceros y unos, es decir, que sean digitales. Ahora bien, en muchas ocasiones estas señales son de naturaleza analógica y, por lo tanto, primero deberemos convertirlas a ceros y unos para tratarlas después por el sistema correspondiente.

Al mismo tiempo, con frecuencia es preciso que la señal resultante de un tratamiento determinado tenga naturaleza analógica, bien porque deba actuar sobre algún otro dispositivo, bien porque se tenga que convertir en algún otro tipo de señal como por ejemplo una onda sonora. Por lo tanto, también necesitamos convertir los ceros y unos en una señal analógica, normalmente en forma de tensión variante en el tiempo.

En este módulo nos centraremos, pues, en el estudio de los sistemas de conversión de señales del mundo analógico al mundo digital (CAD) y a la inversa, del mundo digital al mundo analógico (CDA). Para facilitar la comprensión de los conceptos presentados, el orden en el que estos se introducirán será, antes que nada, los CDA y posteriormente los CAD, dado que, tal y como veremos, los primeros son más simples desde el punto de vista circuital y en algún caso la conversión de analógico a digital se basará en los CDA; de aquí que resulte interesante que estos se hayan trabajado de manera previa.

Por este motivo, primero presentaremos toda una serie de conceptos generales que hay que tener claros en estos dos procesos para pasar después a explicar los CDA, tanto desde un punto de vista formal o teórico como en su diseño y el diseño del resto de los elementos necesarios para su funcionamiento. Veremos que en algunos de los CDA más utilizados, aparece otra vez el amplificador operacional como dispositivo clave para diseñar un CDA.

A continuación, nos centraremos en el estudio de los CAD. Entre otros aspectos, veremos el teorema de muestreo y la importancia capital de elegir correctamente la frecuencia a la que tomamos muestras de la señal analógica que queremos muestrear para no perder información en este proceso. Después veremos diferentes tipos de convertidores –algunos de estos basados al mismo tiempo en el uso de CDA y operacionales–, así como la importancia del filtro necesario en esta etapa de CAD, y estudiaremos finalmente el efecto del error introducido en la etapa de cuantificación.

CDA

A partir de ahora, abreviaremos conversión de señales del mundo digital al mundo analógico con la sigla CDA.

CAD

A partir de ahora, abreviaremos conversión de señales del mundo analógico al mundo digital con la sigla CAD.

Objetivos

Los objetivos que debéis alcanzar con este módulo didáctico son los siguientes.

- 1.** Entender los conceptos de conversión analógico a digital (A/D) y conversión digital a analógico (D/A).
- 2.** Entender el concepto de frecuencia de Nyquist y su importancia capital en los proceso de conversión.
- 3.** Conocer diferentes tipos de circuitos convertidores utilizados en el campo de la instrumentación electrónica.
- 4.** Saber interpretar las principales características de los convertidores dadas por los fabricantes, para tener criterio a la hora de elegir uno de acuerdo con nuestras necesidades.

1. Conceptos generales

Los **convertidores analógico-digital** (CAD) y digital-analógico (CDA) son circuitos que nos permiten convertir una señal de un dominio a otro, en este caso del dominio analógico al dominio digital o a la inversa.

Conviene definir, primero, qué tipos de señales podemos tener normalmente. Así pues, si clasificamos las señales según sus características temporales (eje de abscisas), diremos que una señal es continua cuando está definida para cualquier instante de tiempo, y discreta cuando está definida en instantes determinados de tiempo, normalmente múltiplos de un periodo fundamental T . Al mismo tiempo, las señales también se pueden clasificar en función de los valores que tomen de amplitud (eje de ordenadas). Hablaremos de señales analógicas cuando el valor de amplitud pueda ser cualquiera, y de señales digitales cuando los valores de amplitud estén restringidos a un conjunto prefijado de valores posibles.

Normalmente tendremos señales continuas y analógicas o bien discretas y digitales, por lo que se suele utilizar el nombre de analógicas para las primeras y de digitales para las segundas, a pesar de que podemos tener una señal continua y digital o bien una señal discreta y analógica. De aquí en adelante, nosotros nos referiremos a las señales continuas y analógicas como señales analógicas, y a las señales discretas y digitales como señales digitales.

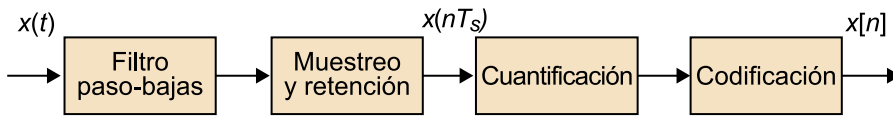
La mayoría de las señales que podemos obtener de la naturaleza son señales analógicas. Para procesar estas señales mediante un ordenador o algún otro tipo de sistema digital (una tarjeta específica de procesamiento digital de señal [DSP] o bien un microcontrolador concreto, por ejemplo), tenemos que convertir estas señales analógicas en señales digitales, puesto que, si no, deberíamos disponer de infinitos datos en tiempos y amplitud, lo cual evidentemente es inviable. La conversión implica, por lo tanto, tomar valores de las señales en instantes concretos de tiempo, múltiplos de un periodo fundamental T , y asignar el valor de la señal en estos instantes de manera que sea uno de los valores prefijados disponibles (el valor más cercano). La primera de las etapas recibe el nombre de muestreo temporal y, la segunda, el de cuantificación; son las etapas más importantes del sistema.

En líneas generales, por lo tanto, un sistema de conversión de analógico a digital (A/D) seguirá los pasos mostrados en la figura 1:

Señales analógicas

Son ejemplos de señales analógicas la señal de voz o cualquier señal de origen biomédico, como por ejemplo la señal del corazón (electrocardiograma) o de la actividad cerebral (electroencefalograma).

Figura 1. Esquema general de un sistema CAD



El primer bloque corresponde a un filtro pasa-bajo, el cual nos limitará el contenido en frecuencia de la señal de entrada. La frecuencia de corte del filtro está íntimamente relacionada con la frecuencia de muestreo del convertidor, tal y como veremos más adelante. El segundo bloque se corresponde con lo que es propiamente el sistema de muestreo del convertidor, y lo que hace es tomar el valor de la señal cada T_s unidades de tiempo: T_s es lo que denominaremos periodo de muestreo¹, y su inversa $F_s = \frac{1}{T_s}$ será la frecuencia de muestreo². El tercer bloque se ocupa de cuantificar el valor de amplitud de la muestra tomada en el paso anterior, y le asocia el nivel más cercano de entre los diferentes niveles disponibles. Finalmente, el último bloque se ocupa de codificar la señal ya digital de manera conveniente, en función de la tarea o aplicación que estemos haciendo.

⁽¹⁾En inglés, *sampling period*.

⁽²⁾En inglés, *sampling frequency*.

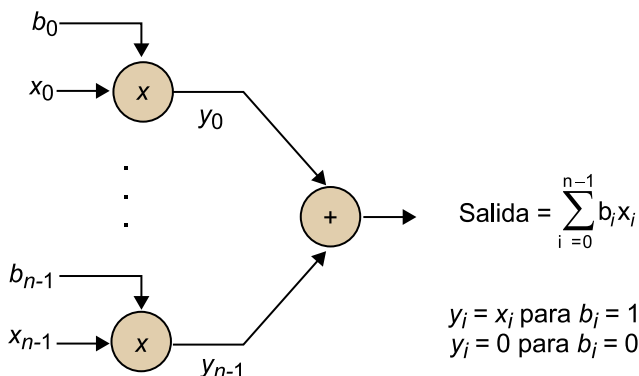
De manera intuitiva, podríamos relacionar las señales analógicas con las señales digitales a través de una correspondencia biunívoca entre valores en los dos dominios (tabla 1):

Tabla 1. Relación entre señal analógica y palabra digital asociada

| Margen de la señal analógica | Intervalo de valores digitales |
|------------------------------|-----------------------------------|
| $V_i \text{ máx}$ | Valor binario máximo (11.....111) |
| $V_i \text{ mín}$ | Valor binario mínimo (00.....000) |

De manera intuitiva, podemos entender la relación entre el número binario de n bits y el valor analógico correspondiente como una suma ponderada, tal y como se muestra en la figura 2:

Figura 2. Esquema de relación entre el número binario de n bits y el valor analógico correspondiente



Por lo tanto, y como veremos más adelante, si tenemos un número binario de n bits ($b_{n-1}, b_{n-2}, \dots, b_1, b_0$) en el que b_0 representa el bit de menor peso y V_i es el correspondiente valor analógico, la relación entre la palabra digital y el valor analógico vendrá dada por la ecuación siguiente:

$$V_i = V_{FE}(b_{n-1}2^{-1} + b_{n-2}2^{-2} + \dots + b_12^{-n+1} + b_02^{-n}) \quad 3.1$$

En la que V_{FE} es una tensión de referencia, normalmente el nivel de fondo de escala o el máximo nivel de la señal de entrada que podemos tener. Si calculamos el valor mínimo y máximo de tensión de entrada V_i que podemos tener con la ecuación anterior, obtendremos:

$$V_{i_{\min}} = V_i |_{b_i=0} \quad \forall i = 0 \quad 3.2$$

$$V_{i_{\max}} = V_i |_{b_i=1} \quad \forall i = 0 \quad V_{FE} \left(\sum_{i=1}^n 2^{-i} \right) = V_{FE} \left(\frac{2^{-1} - 2^{-n}2^{-1}}{1 - 2^{-1}} \right) = V_{FE} \left(\frac{2^n - 1}{2^n} \right) \quad 3.3$$

Si el número de bits n es suficientemente grande, entonces $\frac{2^n - 1}{2^n} \rightarrow 1$ y, por lo tanto, podemos considerar $V_{i_{\max}} \approx V_{FE}$.

A partir de la palabra binaria de n bits ($b_{n-1}, b_{n-2}, \dots, b_1, b_0$), podemos definir su valor binario fraccional como:

$$B = b_{n-1}2^{-1} + b_{n-2}2^{-2} + \dots + b_12^{-n+1} + b_02^{-n} = \sum_{i=1}^n b_{n-i}2^{-i} \quad 3.5$$

Se puede ver claramente que B puede tener 2^n valores posibles dentro del margen $0 \leq B \leq 1 - 2^{-n}$, en el que el valor mínimo se obtiene para $b_i = 0 \forall i$ y el valor máximo para $b_i = 1 \forall i$. Entonces, se define la resolución q como la diferencia entre dos valores consecutivos de B :

$$q = 2^{-n} = \frac{1}{2^n} \quad 3.6$$

Si relacionamos ahora este resultado con las ecuaciones 2 y 3, veremos que las tensiones V_i que podemos conseguir estarán comprendidas entre los valores:

$$0 \leq V_i \leq V_{FE} \left(\frac{2^n - 1}{2^n} \right) \quad 3.7$$

Por lo tanto, la resolución o paso de cuantificación q , calculado como la diferencia entre dos valores consecutivos de V_i teniendo en cuenta una tensión de referencia V_{FE} , será:

Suma de progresiones geométricas

Recordemos que la suma de una progresión geométrica de razón r se calcula de la manera siguiente:

$$\sum_{i=m}^n r^i = \frac{r^m - r^{n+1}}{1 - r} \quad 3.4$$

$$q = \frac{V_{FE}}{2^n} \quad 3.8$$

Ejemplo

Supongamos que tenemos un codificador de 3 bits ($n=3$) y una señal analógica que puede tomar valores entre 0 V y 10 V. Podemos representar la relación que tendremos entre los dos dominios a partir de las figuras 3 y 4:

Figura 3. Curva de transferencia de CAD. La recta correspondiente al caso ideal ($n = \infty$)

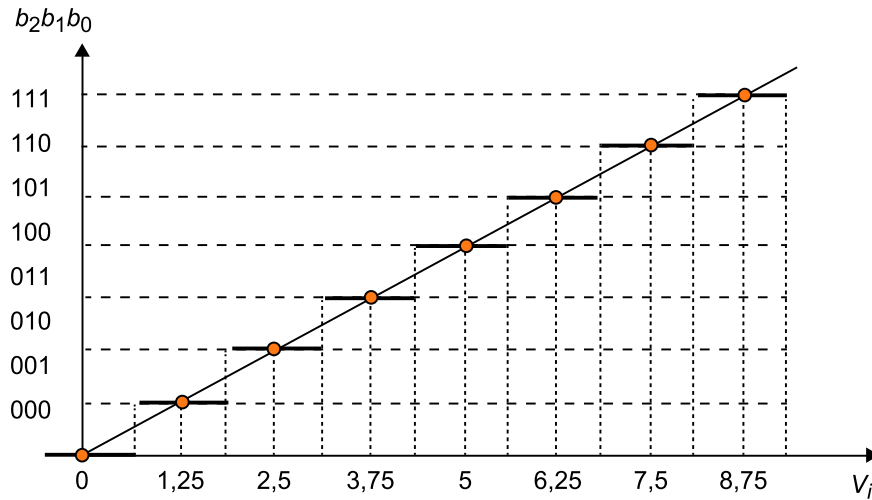
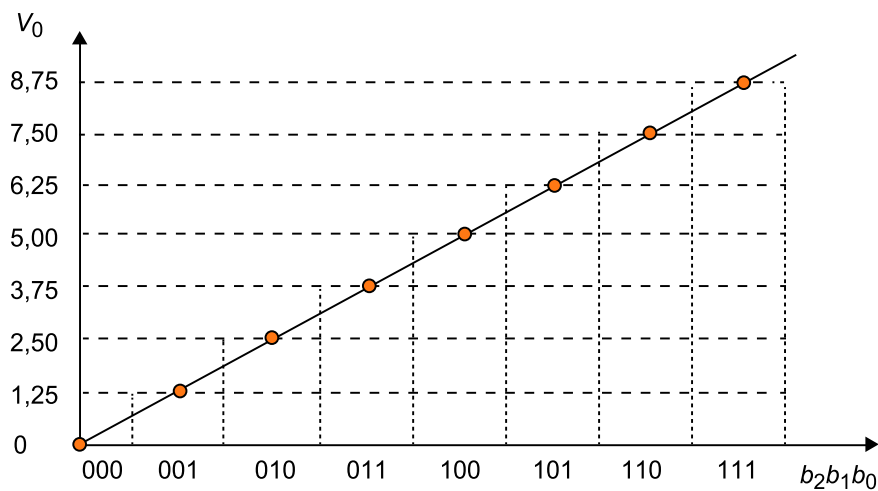


Figura 4. Curva de transferencia de CDA. La recta correspondiente al caso ideal ($n = \infty$)



Si calculamos la resolución a partir de los datos del ejemplo, tendremos:

$$q = \frac{V_{FE}}{2^n} = \frac{10}{8} = 1,25 \text{ V} \quad 3.9$$

Así pues, para el CAD, si tenemos un valor de entrada V_i lo asociaremos a la palabra digital B correspondiente mediante el uso de la curva de transferencia de la figura 3. Por ejemplo, el valor $V_i = 3,2 \text{ V}$ se asociará a la palabra 011, mientras que el valor $V_i = 9 \text{ V}$ se asociará a la palabra 111. Observemos que los umbrales de decisión se sitúan a la mitad entre los valores de tensión obtenidos mediante la ecuación 3.1:

Tabla 2. Relación entre señal analógica y palabra digital asociada

| Voltaje de la señal analógica (margen) | Palabra digital |
|--|-----------------|
| 0,00 V (0 V – 10/16 V) | 000 |
| 1,25 V (10/16 V – 30/16 V) | 001 |
| 2,50 V (30/16 V – 50/16 V) | 010 |
| 3,75 V (50/16 V – 70/16 V) | 011 |
| 5,00 V (70/16 V – 90/16 V) | 100 |
| 6,25 V (90/16 V – 110/16 V) | 101 |
| 7,50 V (110/16 V – 130/16 V) | 110 |
| 8,75 V (130/16 V – 150/16 V) | 111 |

Si nos fijamos ahora en el CDA (figura 4), la palabra digital $B = 011$ se asociará a la tensión analógica $V_o = 3,75 \text{ V}$, y la palabra $B = 111$ a la tensión $V_o = 8,75 \text{ V}$. Es interesante observar que la tensión máxima que nos dará el CDA siempre será inferior a la tensión de fondo de escala V_{FE} , tal y como se deduce de la ecuación 3.2, pero si el número de bits es bastante elevado, estos valores serán muy parecidos y podemos considerar $V_{o_{máx}} \approx V_{FE}$. Tengamos presente que un CDA de 3 bits es un simple ejemplo académico. Normalmente dispondremos de al menos 8 bits ($n = 8$), por lo cual la relación

$$V_{o_{máx}} \approx V_{FE} \text{ será válida puesto que tendremos } \frac{2^n - 1}{2^n} = \frac{255}{256} \approx 1.$$

A continuación, se presentarán diferentes implementaciones de convertidores D/A³ y A/D⁴. Para facilitar el estudio de estos circuitos, se presentarán primero los convertidores D/A puesto que circuitalmente son más simples que los A/D, y porque en muchos de los convertidores A/D se utiliza también de manera interna un convertidor D/A.

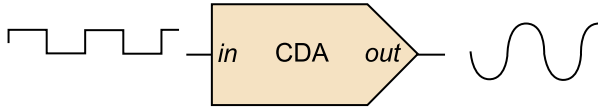
⁽³⁾Recordad que abreviamos la conversión de digital a analógico con la expresión D/A.

⁽⁴⁾Recordad que abreviamos la conversión de analógico a digital con la expresión A/D.

2. Convertidores D/A

El símbolo que se utiliza para el CDA es el mostrado en la figura 5:

Figura 5. Símbolo utilizado para representar el CDA



Definiremos un **convertidor digital-analógico** (CDA) como un dispositivo que, a partir de una palabra digital B de n bits ($b_{n-1}, b_{n-2}, \dots, b_1, b_0$) en la entrada, produce una señal analógica en la salida proporcional al valor fraccional de la palabra digital.

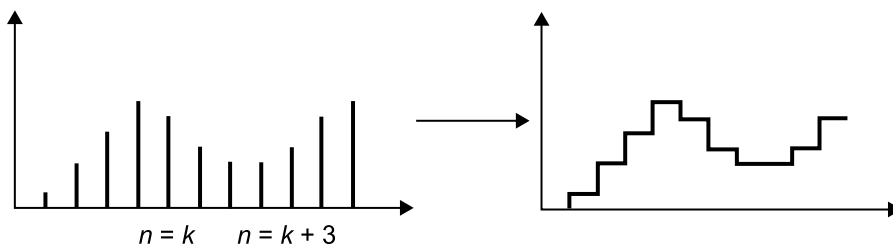
La ecuación que relaciona la salida y la entrada viene dada, según deducimos de la ecuación 3.1, por:

$$V_o = V_{FE}(b_{n-1}2^{-1} + b_{n-2}2^{-2} + \dots + b_12^{-n+1} + b_02^{-n}) = V_{FE}\left(\sum_{i=1}^n b_{n-i}2^{-i}\right) \quad 3.10$$

La resolución o paso de cuantificación será, según la ecuación 3.8, $q = \frac{V_{FE}}{2^n}$, y la curva de transferencia será equivalente a la figura 6, en función del número de bits del convertidor.

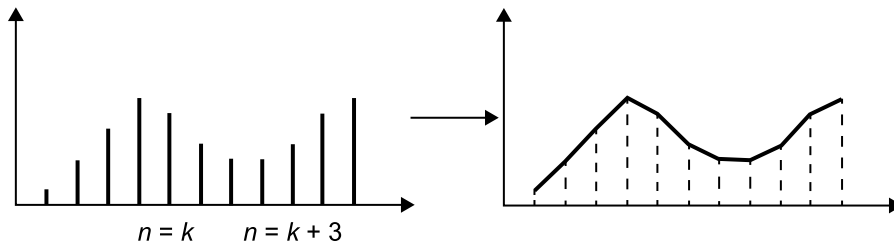
De manera simplificada, podemos entender los CDA como unos dispositivos que, de algún modo, interpolan los valores de amplitud entre los puntos de una señal digital, tal y como se puede observar en la figura 6:

Figura 6. Mantenedor de orden cero o de aproximaciones por escalones



En este caso se trata de un mantenedor de orden cero o de aproximaciones por escalones, que lo que hace es mantener el valor constante de la muestra hasta la llegada de la muestra siguiente. Otra posibilidad consiste en hacer una interpolación lineal entre muestras, tal y como se indica en la figura 7:

Figura 7. Interpolador lineal



Si se usan técnicas más sofisticadas se puede hacer una interpolación mejor, pero a cambio de complicar el CDA. Sin entrar en detalles, se puede demostrar que hay un sistema óptimo de interpolación que se deriva del teorema de muestreo o teorema de Nyquist, y que nos permite obtener una señal analógica $x(t)$ a partir de sus muestras:

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_s) \frac{\sin\left(\frac{\pi}{T_s}(t - nT_s)\right)}{\frac{\pi}{T_s}(t - nT_s)} = \sum_{n=-\infty}^{\infty} x[n] \operatorname{sinc}\left(\frac{\pi}{T_s}(t - nT_s)\right) \quad 3.11$$

Donde $T_s = \frac{1}{F_s}$ es lo que se conoce como periodo de muestreo, F_s es la frecuencia de muestreo y se cumple $F_s \geq 2f_x$ (f_x es la frecuencia máxima de la señal analógica). Más adelante veremos con detalle este teorema, puesto que resulta de capital importancia para el proceso de conversión A/D. Representamos la variable temporal con t y el número de muestra con n .

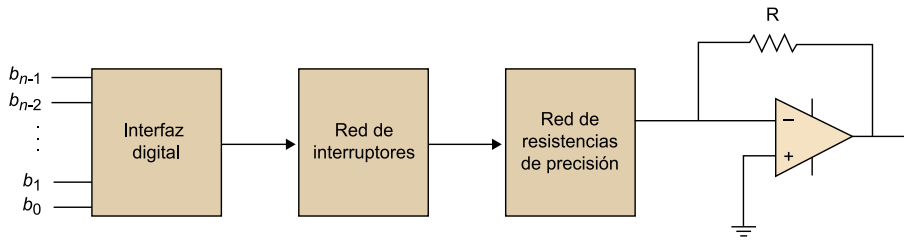
En términos generales, y según su utilización, clasificaremos los CDA en tres grupos.

- a) CDA de propósito general (tendrán entre 8 y 12 bits).
- b) CDA de alta resolución (tendrán entre 12 y 24 bits).
- c) CDA de alta velocidad (tendrán tiempos de conversión muy pequeños, del orden de 5 ns).

2.1. Tipos de CDA

Los CDA más comunes son de tipo paralelo, y su estructura general se presenta en la figura 8. A continuación, veremos ejemplos concretos de configuraciones.

Figura 8. Esquema general de un CDA de tipo paralelo

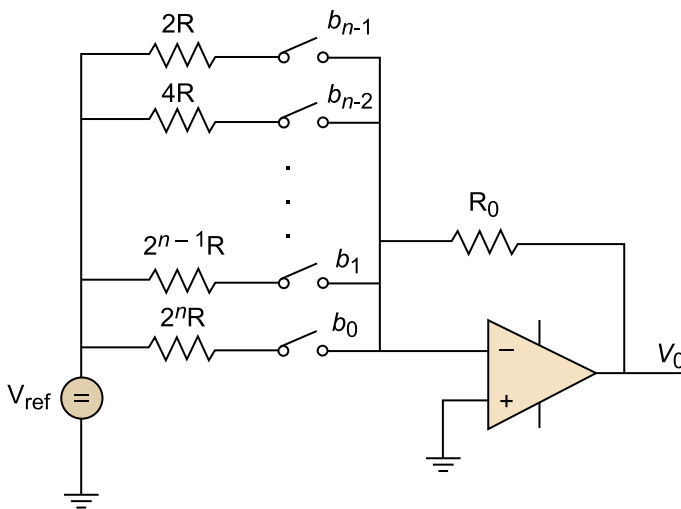


La primera etapa es una interfaz digital que adapta el nivel lógico de entrada al nivel de señal requerido por los interruptores y que, en el caso de modelos compatibles con microprocesador, retiene el número que hay que convertir durante el tiempo que dura la conversión. El AO de salida convierte la corriente en tensión, y en el caso de CDA rápidos suele ser externo. Los tiempos de conversión van desde decenas de μs en modelos más bien lentos a decenas de ns en modelos ultrarrápidos. El número de bits n es típicamente de 12 –y por lo tanto con una resolución de $q = 2^{-12}$ –, pero también se utilizan de 16 o incluso más bits.

2.1.1. Convertidores de resistencias ponderadas

El ejemplo más sencillo de CDA de tipo paralelo es el que se conoce con el nombre de CDA de resistencias ponderadas (figura 9). Se trata de un sumador hecho con un AO en estructura inversora, de n entradas correspondientes a los n bits de la palabra digital B que hay que convertir, y todas estas ponderadas con resistencias de valor potencia de 2, según corresponda para su posición.

Figura 9. Ejemplo de un CDA de resistencias ponderadas



Entonces, la corriente que circule por R_o será:

$$I_o = V_{ref} \left(\frac{b_{n-1}}{2^1 R} + \frac{b_{n-2}}{2^2 R} + \dots + \frac{b_1}{2^{n-1} R} + \frac{b_0}{2^n R} \right) = - \frac{V_o}{R_o} \quad 3.12$$

Donde V_{ref} es una tensión de referencia externa que nos permitirá fijar el fondo de escala de trabajo del convertidor. La tensión de salida se obtendrá como:

$$V_o = -V_{ref} \frac{R_o}{R} \left(\frac{b_{n-1}}{2^1} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right) \quad 3.13$$

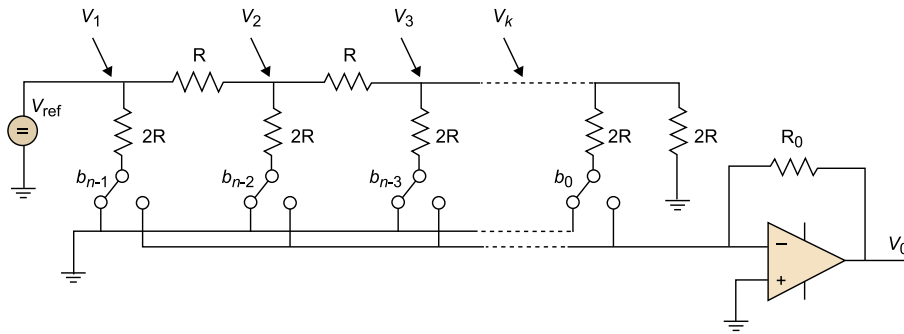
Observemos que esta ecuación es igual a la ecuación 3.1, en la que ahora la tensión en fondo de escala V_{FE} está determinada por la tensión de referencia V_{ref} y por la relación entre la resistencia de realimentación R_o y la resistencia básica de todas las ramas, R .

Uno de los problemas de esta estructura es su poca estabilidad, debido a que la fuente de tensión de referencia ve cargas distintas para palabras de entrada diferentes. Esto se puede solucionar usando dos interruptores para cada bit, accionados en contrafase. Cuando una resistencia no se conecta hacia la salida, entonces el otro interruptor la conecta a una masa real. De este modo, la fuente de tensión de referencia ve siempre la misma carga. Otro problema viene asociado con la precisión de las resistencias necesarias para implementar este CDA. Si los valores de resistencias que son potencias de 2 se desajustan, el convertidor no podrá trabajar correctamente y, por lo tanto, el valor devuelto en la salida será erróneo.

2.1.2. Convertidores de resistencias en escala

Para solucionar estos problemas de los convertidores de resistencias ponderadas, se utilizan los CDA con redes de resistencias en escala (figura 10). Esta configuración solo precisa resistencias de valor R y $2R$. La corriente de salida hacia la masa virtual es la suma de las que fluyen a través de cada resistencia de valor $2R$ controlada por el bit correspondiente de la palabra digital. La corriente complementaria fluye hacia una masa real y se mantiene siempre la misma carga, de manera independiente de la palabra digital. Esto también garantiza que la corriente que pasa a través de cada interruptor ha sido dividida el número adecuado de veces. Además, por el hecho de necesitar solo dos valores de resistencia (R y $2R$), podemos conseguir tolerancias muy menores a las habituales y evitar de este modo que los bits de menos peso pasen a ser no significativos.

Figura 10. Ejemplo de un CDA de resistencias en escala (R-2R)



En este tipo de CDA, la red resistiva está formada por resistencias de dos valores de manera exclusiva, R y $2R$. La estructura del circuito hace que desde cualquier nodo de la red, mirando hacia la derecha, tengamos siempre una resistencia equivalente de valor $2R$. Teniendo en cuenta que la resistencia que va a tierra es también de valor $2R$, el paralelo queda siempre de valor R . De este modo, las tensiones medidas en cada uno de los nodos son de la forma $V_1 = \frac{V_{ref}}{2}$, $V_2 = \frac{V_{ref}}{4}$, $V_3 = \frac{V_{ref}}{8}$, etc. y, en general, $V_k = \frac{V_{ref}}{2^{k+1}}$. De este modo, la tensión de salida será:

$$V_o = -V_{ref} \frac{R_o}{R} \left(\frac{b_{n-1}}{2^1} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right) = -V_{ref} \frac{R_o}{R} \left(\sum_{i=1}^n b_{n-i} 2^{-i} \right) \quad 3.14$$

Puesto que solo hay dos valores de resistencias, el circuito presenta una mejor estabilidad térmica y una conmutación mucho más rápida. A diferencia del caso visto en el subapartado anterior, ahora necesitamos dos resistencias para cada bit en lugar de una.

Actualmente, la tecnología permite obtener gran precisión en los valores de condensadores integrados y es posible fabricar CDA con condensadores de capacidad conmutada en lugar de resistencias, lo que da lugar a lo que se conoce como CDA monolíticos.

Actividad

Comparad las características de los siguientes CDA comerciales. Elaborad una tabla que resuma sus principales propiedades, prestaciones y ámbitos de utilización.

- AD558.
- DAC08.
- DAC341.
- AD7226.

2.2. Filtro antiimagen

La señal de salida del CDA presenta componentes de alta frecuencia no deseados que pueden generar problemas en algunas aplicaciones. Por ejemplo, en un reproductor de música, estos componentes podrían sobrecargar el amplificador de audio y generar productos de intermodulación que degradarían la calidad de la señal de audio.

Estos componentes se originan porque, tal y como hemos comentado antes, en la práctica el CDA no es ideal y la interpolación que hace entre muestras es subóptima.

Para evitar estos problemas, en la salida del CDA encontraremos normalmente un filtro pasa-bajo denominado filtro antiimagen, cuya misión es suavizar los saltos en la señal analógica de salida del convertidor y eliminar estos componentes de alta frecuencia que están por encima de f_x (frecuencia máxima de la señal analógica).

Ejemplo: filtro antiimagen Butterworth

Supongamos que tenemos un sistema CDA que como filtro antiimagen utiliza un filtro de Butterworth de orden n por determinar. Supongamos, también, que la señal analógica tiene una frecuencia máxima de 20 kHz y que el CDA utiliza como frecuencia de conversión el valor 176,4 kHz. Si hay que atenuar al menos en 50 dB las frecuencias de imagen, y la señal de interés no puede estar atenuada en más de 0,5 dB, determinad cuál es el orden mínimo del filtro y su frecuencia de corte para cumplir estos requerimientos.

Solución

Suponiendo que el CDA es un mantenedor de orden cero, el espectro en la salida del CDA será el producto del espectro de la señal por la función $\frac{\sin(x)}{x}$. El efecto de $\frac{\sin(x)}{x}$ en las dos frecuencias críticas, 20 kHz y 156,4 kHz (correspondiente a la frecuencia de imagen más cercana a las frecuencias en banda base de la señal) es el siguiente:

a) A 20 kHz:

$$\frac{\sin(x)}{x} = \frac{\sin\left(\frac{\omega T}{2}\right)}{\frac{\omega T}{2}} \bigg|_{\omega=2\pi \cdot 20 \text{ kHz}} = 0,9789 \rightarrow -0,184 \text{ dB} \quad 3.15$$

b) A 156,4 kHz:

$$\frac{\sin(x)}{x} = \frac{\sin\left(\frac{\omega T}{2}\right)}{\frac{\omega T}{2}} \bigg|_{\omega=2\pi \cdot 156,4 \text{ kHz}} = 0,125 \rightarrow -18 \text{ dB} \quad 3.16$$

donde T es el periodo de la frecuencia de conversión.

Por lo tanto, en la banda de paso será necesario que el filtro no atenúe más que $0,5 - 0,184 = 0,316 \text{ dB}$, mientras que en la banda atenuada deberá atenuar al menos

$50 - 18 = 32 \text{ dB}$. Nos dicen que el filtro debe ser de tipo Butterworth, el cual tiene una respuesta en frecuencia del tipo:

$$|H(f)| = \frac{1}{\left[1 + \left(\frac{f}{f_c}\right)^{2n}\right]^{\frac{1}{2}}} \quad 3.17$$

Donde f_c es la frecuencia de corte del filtro.

Por lo tanto, se deberán cumplir las dos inecuaciones siguientes:

$$20 \log \left[1 + \left(\frac{20k}{f_c} \right)^{2n} \right]^{\frac{1}{2}} \leq 0,316 \text{ dB} \quad 3.18$$

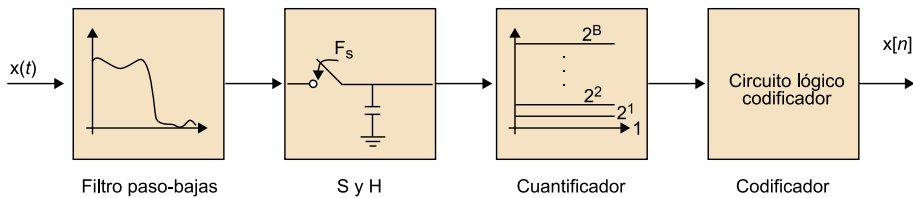
$$20 \log \left[1 + \left(\frac{156,4k}{f_c} \right)^{2n} \right]^{\frac{1}{2}} \geq 32 \text{ dB} \quad 3.19$$

Si resolvemos el sistema de ecuaciones (ecuaciones 3.18 y 3.19), llegamos a $n = 2,4 \cong 3$ y $f_c = 30,76 \text{ kHz}$.

3. Convertidores A/D

La conversión de señal analógica $x(t)$ a señal digital $x[n]$ mediante un convertidor analógico-digital (CAD) consta de las etapas siguientes (figura 11):

Figura 11. Diagrama de bloques del proceso de conversión A/D



1) Muestreo de la señal cada T_s unidades de tiempo (T_s se conoce con el nombre de *periodo de muestreo*), previo filtrado pasa-bajo de la señal de entrada. De este modo, se convierte la señal analógica en una señal discreta en el tiempo pero con valores continuos de amplitud. Esta etapa incluye también lo que se conoce con el nombre de *retención*⁵, que no es más que mantener estable la señal mientras se lleva a cabo el muestreo. Por este motivo, con frecuencia el conjunto de esta primera etapa se conoce con el nombre de muestreo y retención⁶ (S&H).

⁽⁵⁾En inglés, *hold*.

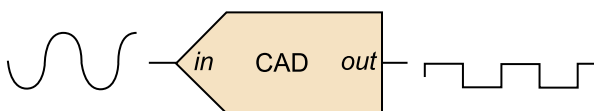
⁽⁶⁾En inglés, *sample and hold*.

2) Cuantificación de la amplitud de cada muestra en uno de los 2^B niveles correspondientes a los B bits empleados para representar cada muestra de la señal digital. De este modo, pasamos de una señal discreta en el tiempo pero continua en amplitud a una señal que también tiene valores discretos de amplitud.

3) La señal obtenida se codifica en secuencias binarias de ceros y unos, utilizando algunos de los códigos binarios existentes, en función de la aplicación concreta que tengamos. Esta tercera etapa no la trataremos en profundidad en esta asignatura, puesto que cae fuera del alcance del curso.

El símbolo genérico utilizado para representar el CAD es el mostrado en la figura 12:

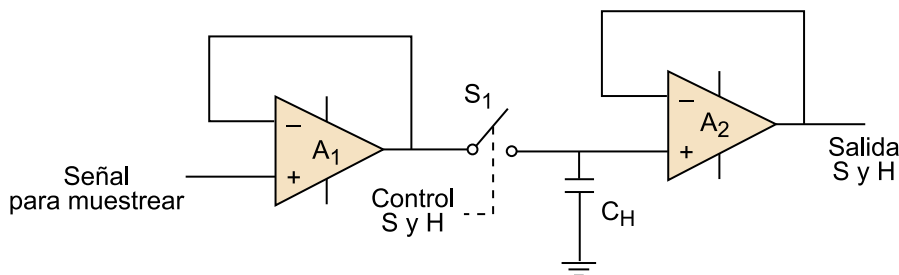
Figura 12. Símbolo utilizado para representar el CAD



3.1. Muestreo y retención

Para llevar a cabo la conversión A/D, lo primero que necesitamos es determinar el valor de la tensión de entrada en instantes concretos, múltiplos de la frecuencia de muestreo. La primera etapa de un CAD, por lo tanto, se implementa con un amplificador de muestreo y retención (*sample and hold, S&H*). La estructura básica de un S&H consiste en un condensador y un interruptor con una red de adaptación de impedancias. El interruptor se cierra brevemente durante el muestreo y se abre durante la retención del valor mostrado.

Figura 13. Ejemplo de un S&H básico



El amplificador A_1 es un AO en configuración de seguidor de tensión. Nos permite aislar la entrada del resto del circuito y presenta una impedancia de entrada elevada, buena estabilidad cuando se conecta a una carga capacitiva y corriente de salida grande para cargar el condensador C de manera breve a través de la resistencia del interruptor. Deberá tener, por lo tanto, las características siguientes: impedancia de entrada elevada, *slew-rate* elevado y corriente de salida elevada.

El interruptor puede estar basado, por ejemplo, en un transistor del tipo FET. Deberá tener las características siguientes: resistencia en conducción (R_{ON}) pequeña, resistencia en corte (R_{OFF}) elevada, corriente de pérdidas pequeñas en estado OFF y gran velocidad de conmutación.

El amplificador A_2 es un AO en configuración de seguidor de tensión con una corriente de polarización muy pequeña para no descargar el condensador. Será necesario que tenga las características siguientes: impedancia de entrada elevada, corrientes de entrada pequeñas, *slew-rate* elevado y corriente de salida elevada.

La salida de este circuito es básicamente una señal en forma de escalones de duración T_s . Por lo tanto, la señal $x(nT_s)$ es una señal en forma de escala si no tenemos en cuenta las pequeñas rampas de carga y descarga del condensador.

Para entender bien las implicaciones de esta etapa, vamos a ver con un ejemplo qué le sucede a una señal cuando la muestreamos en tiempo (figura 14).

Ejemplo

Sea $x(t)$ una señal de banda limitada tal que su transformada de Fourier es:

$$X(\omega) = 0 \text{ si } |\omega| > \omega_x \quad 3.20$$

Sea, también, un tren de impulsos de periodo T_s :

$$p(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT_s) \quad 3.21$$

La transformada de Fourier de $p(t)$ se puede escribir como:

$$P(\omega) = \frac{2\pi}{T_s} \sum_{k=-\infty}^{+\infty} \delta(\omega - k\omega_s) \quad 3.22$$

El producto de estas dos señales nos dará una señal muestreada en tiempo:

$$x_s(t) = x(t)p(t) \quad 3.23$$

Por la propiedad de la convolución de la transformada de Fourier, este producto de $x(t)$ con $p(t)$ en el dominio temporal equivale a una convolución en el dominio frecuencial, por lo que el espectro de $x_s(t)$ estará formado por repeticiones sucesivas del espectro original de $x(t)$ centradas en $F_s = \frac{1}{T_s}$ (frecuencia de muestreo).

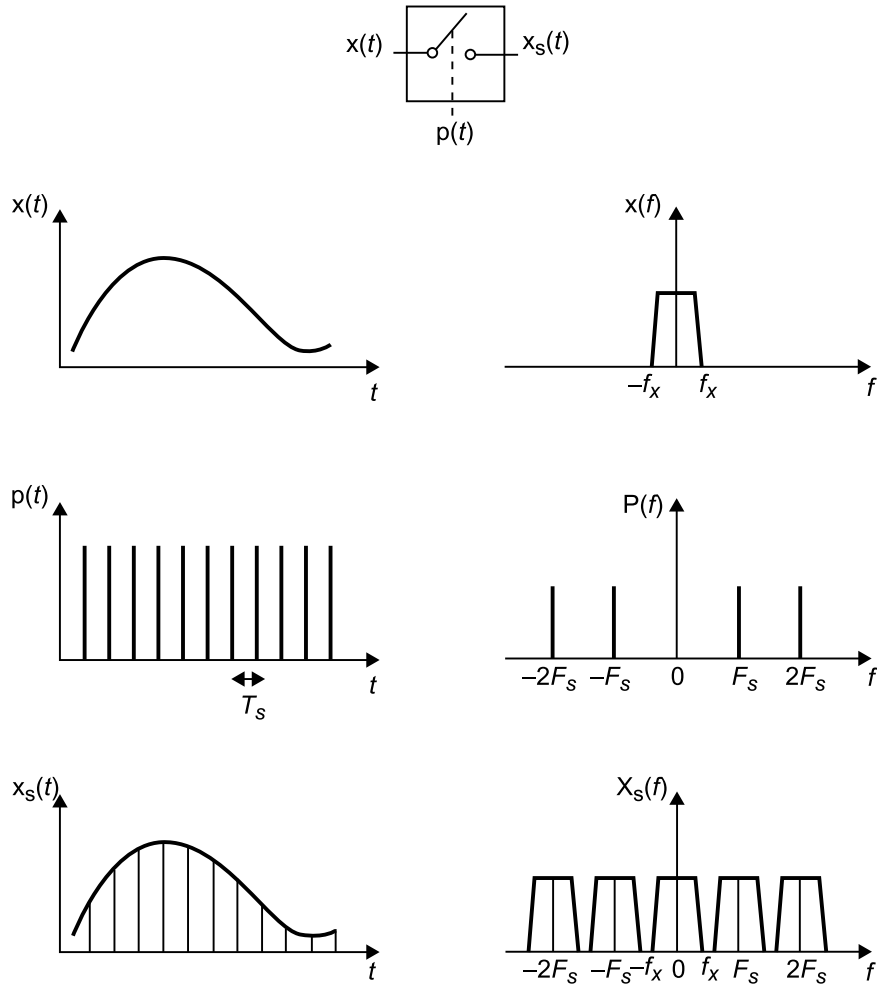
Observamos que la separación entre las deltas del tren de impulsos viene determinada por la frecuencia de muestreo, de modo que si F_s aumenta también lo hace el espacio entre los impulsos, mientras que el periodo T_s disminuye, y viceversa. Para evitar que las repeticiones del espectro se solapen, es preciso que F_s sea como mínimo dos veces el ancho de banda de la señal $x(t)$. Este valor mínimo de la frecuencia de muestreo se denomina frecuencia de Nyquist:

$$F_N = 2f_x \quad 3.24$$

Si la frecuencia de muestreo se sitúa por debajo de este valor, tendremos solapamiento espectral⁷ entre las réplicas, tal y como se puede ver en la figura 15, de modo que ya no será posible reconstruir la señal original.

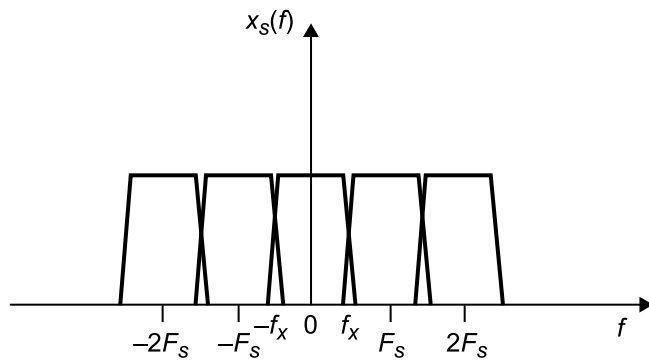
⁽⁷⁾En inglés, *aliasing*; se trata del nombre que utilizaremos en adelante para referirnos a este fenómeno.

Figura 14. Representación en tiempo y frecuencia del proceso de muestreo



En la práctica siempre habrá *aliasing* (figura 15), debido a la presencia de energía de la señal fuera de la banda de interés. Lo que hace falta es determinar qué nivel de *aliasing* resulta aceptable para la aplicación en concreto que se está diseñando, y después diseñar el filtro *antialiasing* que se necesite y utilizar la frecuencia del muestreo apropiada.

Figura 15. Representación en frecuencia del proceso de muestreo en un caso de $F_s < 2f_x$



Por lo tanto, resumimos formalmente el teorema de muestreo de la manera siguiente.

1) Una señal $x(t)$ de banda limitada tal que $|X(f)|=0, f > f_x$ se puede muestrear sin perder información si la frecuencia de muestreo F_s es igual o superior al doble de la frecuencia máxima de la señal $x(t)$, es decir:

$$F_s \geq 2f_x \quad 3.25$$

2) Si la señal se muestrea a una frecuencia que cumpla este requisito, hay un proceso de reconstrucción óptimo con el que se garantiza la recuperación exacta de la señal analógica $x(t)$ a partir de sus muestras $x[n]$.

3.2. Cuantificación

La etapa de cuantificación equivale a muestrear los valores de amplitud de la señal analógica y asignarle un valor de entre un conjunto finito de valores posibles (que vendrá determinado por el número de bits utilizados en el convertidor). Se trata de lo que con mucha frecuencia se conoce como convertidor A/D, a pesar de que debemos tener en cuenta que un CAD debería incluir todas las etapas presentadas.

Esta cuantificación se puede implementar de maneras muy diferentes desde el punto de vista tecnológico. Los circuitos más rápidos son los convertidores A/D paralelos (*flash*), que se encuentran en el mercado como circuitos integrados puesto que incluyen un número muy elevado de componentes. Estos circuitos a menudo no requieren un circuito S&H previo, puesto que son bastante rápidos.

Finalmente, es importante destacar que el proceso de cuantificación no es reversible, es decir, no se puede invertir. Por lo tanto, lleva implícito un error de cuantificación que hay que tener en cuenta. La correcta selección del número de bits del convertidor nos permitirá minimizar este error.

Veamos a continuación diferentes tipos de implementaciones para los CAD.

3.2.1. CAD de aproximaciones sucesivas

Quizá el convertidor A/D más sencillo es el de aproximaciones sucesivas, que se basa en comparar la tensión de entrada con una tensión analógica generada internamente mediante un convertidor D/A (figura 16). La entrada digital del convertidor D/A se incrementa o disminuye según lo que indique el resultado de la comparación. Al principio de la conversión, se aplica al convertidor D/A la entrada de referencia 100...00 y después se van ajustando los bits de menor peso, uno por uno, en las sucesivas comparaciones. Por este motivo, el valor digital se transforma en señal analógica y se compara, mediante el comparador, con el valor de entrada V_i . El hecho de que el resultado de la comparación sea positivo indicará que el valor de entrada es superior al valor dado por el comparador de aproximaciones sucesivas. En cambio, si es negativo indicará

Ved también

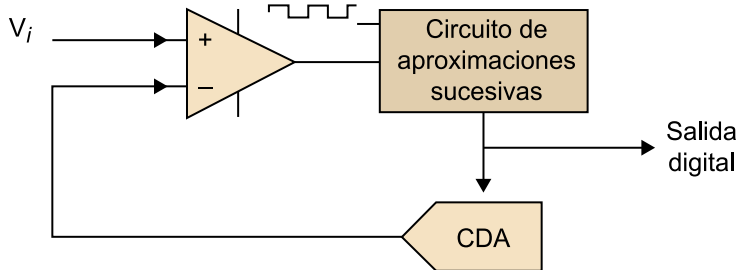
Los convertidores A/D paralelos (*flash*) se tratan en el subapartado 3.2.3 de este módulo didáctico.

Ved también

El error de cuantificación debido a la incapacidad de inversión del proceso de cuantificación se tratará en el subapartado 3.5 de este módulo didáctico.

lo contrario. A partir de esta operación, pues, se fija el primer bit (MSB) a 1 (primer caso) o a 0 (segundo caso), y se repite de nuevo el proceso poniendo ahora el siguiente bit a 1 y así sucesivamente, hasta tener todos los bits determinados.

Figura 16. Esquema de un convertidor de aproximaciones sucesivas



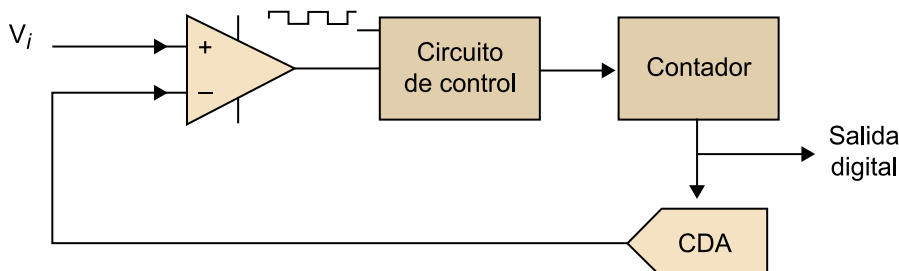
Este tipo de convertidor es el más utilizado cuando se requieren velocidades de conversión entre medias y altas, del orden de algunos μs a decenas de μs . El tiempo de conversión aumenta con la resolución deseada (número de bits), pero es independiente del valor de la entrada. Puesto que la entrada de reloj es la que fija la velocidad de comparación, el tiempo de conversión también dependerá de este valor. Un inconveniente importante de este método es la no linealidad que presenta si la entrada varía durante el tiempo de conversión. Por lo tanto, ante este convertidor A/D hay que poner un *S&H* y esperar que el ruido propio de la señal y el ruido inherente al *S&H* no sean una limitación para la resolución.

3.2.2. CAD tipo servo

Otro circuito convertidor A/D muy común es el convertidor tipo servo⁸ mediante un contador (figura 17). Este circuito también se basa en la comparación como el anterior, pero en este caso la palabra digital es la salida de un contador bidireccional. Al principio de la conversión, el contador se pone a cero y su salida se va incrementando hasta que supera el valor en la entrada, situación que detecta el comparador. Una vez el contador ha tomado la entrada, va siguiendo sus variaciones e incrementa o disminuye el contador de manera análoga a lo que haría un servosistema de lazo realimentado.

⁽⁸⁾En inglés, *tracking*.

Figura 17. Esquema de un convertidor tipo servo (*tracking*)



El tiempo de conversión aumenta con la resolución, pues a más resolución los saltos del contador son más pequeños y, por lo tanto, se deberán hacer más para llegar a igualar el nivel de la entrada. Dado que el convertidor está controlado por un reloj, la velocidad máxima de la señal de entrada⁹ que el sistema es capaz de seguir vendrá limitada por la frecuencia de este reloj, puesto que el convertidor solo incrementa o disminuye su valor una vez en cada ciclo de reloj.

⁽⁹⁾En inglés, *slew-rate*.

3.2.3. CAD paralelo (*flash*)

En aplicaciones en las que necesitamos alta velocidad de conversión, los CAD que hemos visto hasta ahora no se pueden utilizar por su lentitud. El convertidor paralelo y el *flash* permiten solucionar este problema generando todos los bits del código final en una sola operación. Por este motivo, se utiliza un codificador con prioridad de 2^n entradas y n salidas (que serán los bits resultantes de la conversión). Al mismo tiempo, y mediante un conjunto de resistencias, se divide el margen de entrada V_{ref} en $2^n - 1$ niveles cuantificados, que se envían a la entrada de comparadores $2^n - 1$ de tensión para hacer la comparación de la señal de entrada con todos y cada uno de estos niveles cuantificados (figura 18).

El funcionamiento del CAD es el siguiente: para una entrada determinada a convertir V_i , y para una tensión de referencia V_{ref} , todos los comparadores cuya tensión de referencia sea inferior a V_i tendrán una salida a nivel alto en el comparador, y el resto tendrán una salida a nivel bajo. Puesto que estas salidas de los comparadores se conectan a las entradas del codificador con prioridad, el codificador dará a su salida el código correspondiente a la entrada más grande a nivel alto, es decir, a la correspondiente al primer comparador que tiene salida a nivel alto (todos los que están por debajo también tendrán salida a nivel alto, y por este motivo es preciso que el codificador sea con prioridad).

El principal problema de este tipo de CAD es que necesita un total de $2^n - 1$ comparadores y 2^n resistencias, relación exponencial en los dos casos, lo que hace que tenga un precio y un consumo elevados.

Una variante que se utiliza para disminuir el número total de comparadores y resistencias, intentando mantener la velocidad del CAD, consiste en hacer la conversión por partes. Por ejemplo, en un CAD de 8 bits se convierten primero los 4 bits de más peso mediante un CAD *flash* de 4 bits (que tendrá, por lo tanto 15 comparadores y 16 resistencias); se convierte este código de salida a analógico con un CDA; y se resta este valor del valor de entrada y se vuelve a convertir con un segundo CAD *flash* el resultado de este resto, que dará los 4 bits bajos del resultado (figura 19). En total, pues, se necesitan 30 compara-

dores y 32 resistencias para un A/D de 8 bits, lo que resulta muy inferior a las necesidades iniciales comentadas para el A/D *flash* original (255 comparadores y 256 resistencias).

Figura 18. Esquema de un convertidor paralelo de n bits (*flash*)

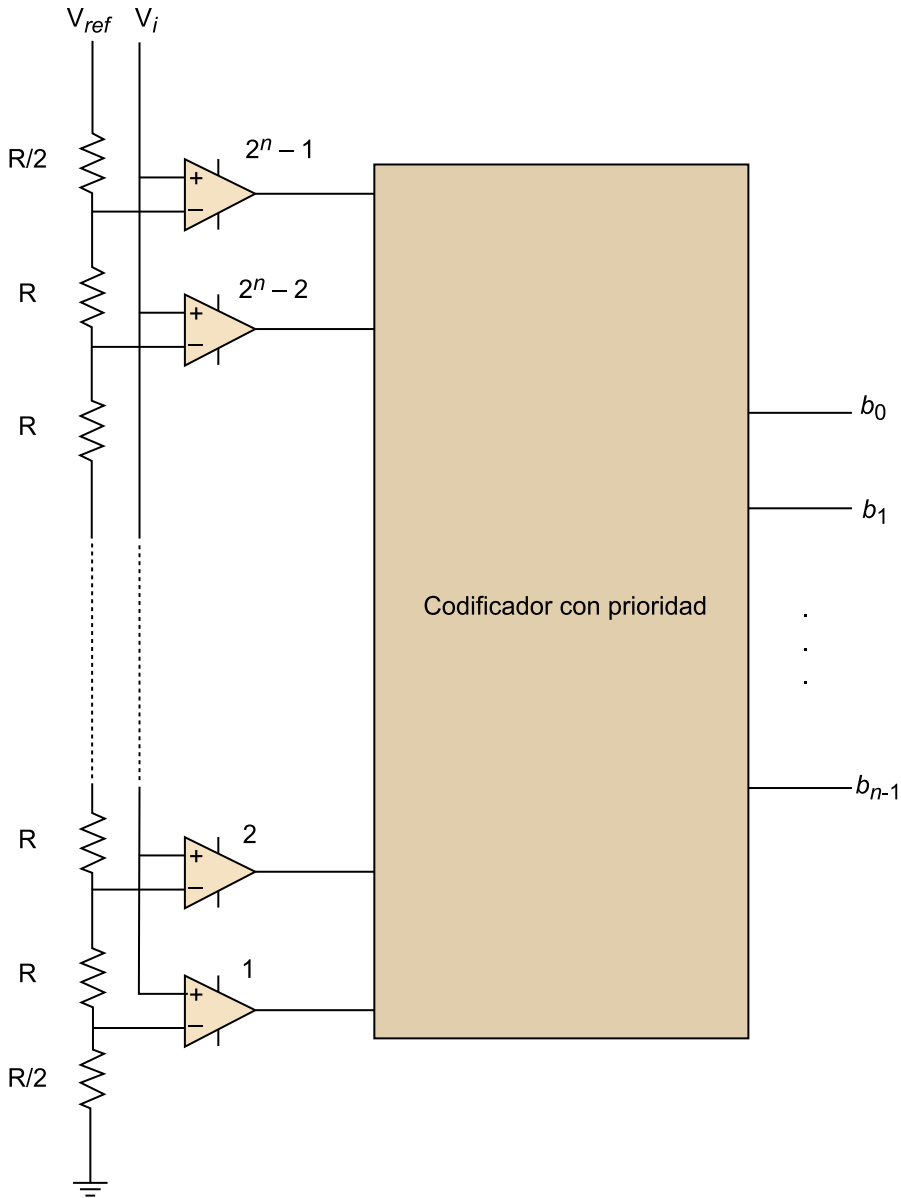
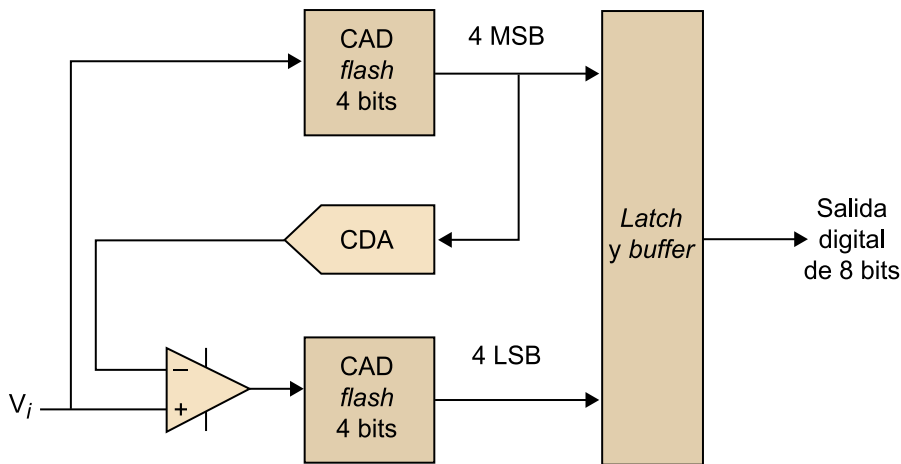


Figura 19. Esquema de un convertidor paralelo (*flash*) de 8 bits a partir de 2 convertidores de 4 bits



Actividad

Comparad las características de los siguientes CAD comerciales. Elaborad una tabla que resuma sus principales propiedades, prestaciones y ámbitos de utilización.

- TLC2543.
- ADC207.
- ADC-HS12.
- ADC80.

3.3. Codificación

La etapa de codificación consiste en adaptar el código (normalmente binario natural) de salida del cuantificador al código que nos interese utilizar en función de la aplicación. Por lo tanto, si la codificación binaria ya nos es útil, no habrá propiamente una etapa extra de codificación.

De manera general, los códigos más utilizados se pueden clasificar en dos grupos: los códigos unipolares (para codificar valores que tienen el mismo signo) y los códigos bipolares (para codificar valores que pueden tomar cualquier signo). Los más utilizados dentro de cada grupo son los siguientes.

1) Códigos unipolares:

- Binario natural.
- BCD.
- Gray.

2) Códigos bipolares:

- Binario natural con bit de signo.
- Complemento a la base (complemento a 2, en el caso binario).
- Complemento a la base -1 (complemento a 1, en el caso binario).

Dado que el estudio detallado de los diferentes códigos queda fuera de los objetivos de la asignatura, no comentaremos más aspectos sobre codificación.

3.4. El filtro *antialiasing*

Tal y como hemos visto al principio de este apartado, para limitar en banda la señal de entrada antes de muestrearla necesitamos un filtro pasa-bajo que recibe el nombre de filtro *antialiasing*. De manera ideal, este filtro tendría que eliminar todos los componentes frecuenciales por encima de la frecuencia de Nyquist. Desgraciadamente, el filtro ideal no existe, a pesar de que en la actualidad ya es posible fabricar filtros muy buenos utilizando nuevos materiales. Esta respuesta no ideal del filtro introduce distorsión en la señal.

El filtro *antialiasing* tiene que garantizar una atenuación suficiente a frecuencias superiores a la frecuencia de Nyquist. Por lo tanto, se toma como frecuencia de Nyquist efectiva la frecuencia de corte de la banda atenuada y, de acuerdo con esto, se selecciona la frecuencia de muestreo adecuada. Para acabar de especificar el filtro *antialiasing*, es conveniente tener en cuenta las especificaciones del CAD para la aplicación en concreto. Es decir, el filtro tendría que diseñarse para atenuar las frecuencias por encima de la frecuencia de Nyquist hasta un nivel que no fuera detectable por el CAD. Este nivel es el que se denomina ruido de cuantificación del CAD. De este modo, para un CAD de B bits el nivel mínimo de atenuación de la banda atenuada tendría que ser:

$$A_{\text{mín}} = 20 \log(2^{B+1} \sqrt{1,5}) \quad 3.26$$

Si calculamos este valor de atenuación para diferente número de bits del CAD, tendremos:

Tabla 2. Estimación de la atenuación mínima en la banda atenuada del filtro pasa-bajo *antialiasing* para diferentes resoluciones del convertidor A/D

| B | $A_{\text{mín}} \text{ (dB)}$ |
|-----|-------------------------------|
| 8 | 56 |
| 10 | 68 |
| 12 | 80 |
| 16 | 104 |

La utilización de un filtro analógico en la entrada de un sistema digital también introduce otras restricciones, como por ejemplo la distorsión de fase. Interesa que los filtros *antialiasing* sean de fase lineal, para asegurar que los componentes de la señal estén desplazados en fase de manera proporcional a la

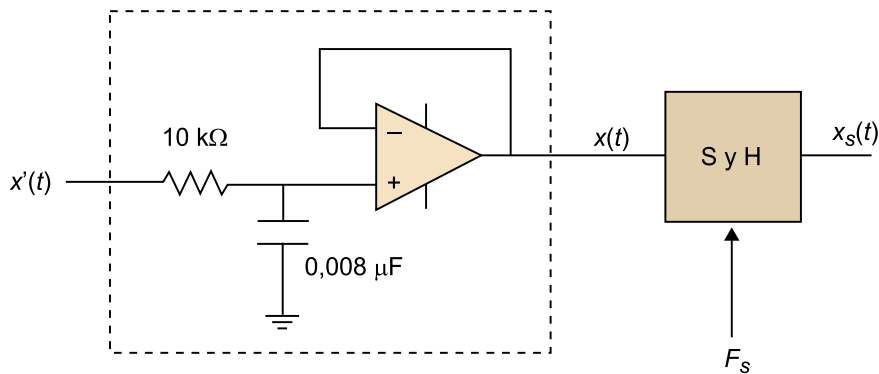
frecuencia. A menudo, para evitar la distorsión de fase interesa que el filtro no sea muy abrupto, al contrario de lo que interesa para minimizar la frecuencia del muestreo y abaratar el convertidor CAD.

Aunque se encarece el CAD, la tendencia en el procesamiento en tiempo real es utilizar una frecuencia del muestreo muy elevada y sobremuestrear la señal. Las razones para hacerlo de este modo son muchas. En primer lugar los filtros *antialiasing* pueden ser más sencillos, lo cual supone una importante reducción del coste y además minimiza la distorsión de fase. En segundo lugar, el sobremuestreo, combinado con un cierto procesamiento digital posterior, permite aumentar la relación *SNR*, como veremos más adelante. Finalmente, para un sistema digital con un filtro analógico de entrada que pueda utilizarse en aplicaciones diferentes, se tiene que poder variar la frecuencia de corte del filtro. Hay filtros analógicos programables, pero sus prestaciones no son demasiado elevadas y resultan caros. En cambio, el sobremuestreo de la señal permite lograr una frecuencia de corte variable mediante técnicas de conversión de la frecuencia de muestreo.

Ejemplo de diseño

Imaginemos un sistema muy simple de adquisición de datos formado por un filtro activo pasa-bajo hecho con un AO, seguido de un *S&H* (figura 20). Queremos determinar la mínima frecuencia de muestreo, F_s , para que el error de *aliasing* no llegue en ningún caso a un 2% del nivel de señal en la banda de paso.

Figura 20. Esquema de un sistema de adquisición de datos sencillo



El filtro activo (recuadro) se utiliza para limitar en banda la señal $x'(t)$ antes de que la muestree el *S&H* a la frecuencia de muestreo F_s .

Solución

La respuesta del filtro la obtenemos del análisis del circuito mostrado en la figura 20. Por lo tanto, la única manera de limitar el error de *aliasing* será elegir una frecuencia de muestreo adecuada. Observemos que el filtro está formado por una estructura RC simple y un AO en configuración de seguidor de tensión, el cual nos permite aislar la entrada del resto del circuito. Puesto que la ganancia del seguidor de tensión es 1, la respuesta en amplitud de este filtro vale (de la célula RC):

$$|H(f)| = \frac{1}{\left[1 + \left(\frac{f}{f_c}\right)^2\right]^{1/2}} \quad 3.27$$

Donde la frecuencia de corte del filtro pasa-bajo es $f_c = \frac{1}{(2\pi RC)}$, que con los datos de la figura 20 se corresponde con un valor $f_c = 2 \text{ kHz}$. Supondremos que el espectro de la señal de entrada tiene un ancho de banda bastante mayor que la banda pasante del filtro que se utiliza, de modo que el espectro de la señal $x(t)$ está básicamente determinado por la forma del filtro. Dado que nos piden un error de *aliasing* menor del 2 % del nivel de señal en la banda de paso, se tendrá que cumplir la desigualdad siguiente:

$$\text{error de aliasing} < \frac{2}{100} X(f)_{|f=2.000} \quad 3.28$$

A la frecuencia de corte (f_c) del filtro sabemos que el nivel de señal estará 3 dB por debajo del máximo, valor que obtenemos si sustituimos $f = f_c$ en la ecuación 25:

$$|H(f_c)| = \frac{1}{\left[1 + \left(\frac{f_c}{f_c}\right)^2\right]^{1/2}} = \frac{1}{\sqrt{2}} \quad 3.29$$

Por lo tanto, tendremos $X(f)_{|f=2.000} = \frac{1}{\sqrt{2}} = 0,7071$ y entonces:

$$\frac{2}{100} \frac{1}{\sqrt{2}} = 0,01414 > \frac{1}{\left[1 + \left(\frac{f_a}{f_c}\right)^2\right]^{1/2}} \quad 3.30$$

Donde f_a es la frecuencia de *aliasing* y f_c , la frecuencia de corte del filtro. Si aislaamos f_a de la ecuación, llegamos a $f_a > 141,4 \text{ kHz}$. Por lo tanto, la frecuencia mínima de muestreo que nos asegura un error menor del 2% vendrá dada por $F_{smin} > f_c + f_a = 2 \text{ kHz} + 141,4 \text{ kHz} = 143,4 \text{ kHz}$. De este modo, una buena F_s sería $F_s = 150 \text{ kHz}$.

3.5. Error de cuantificación

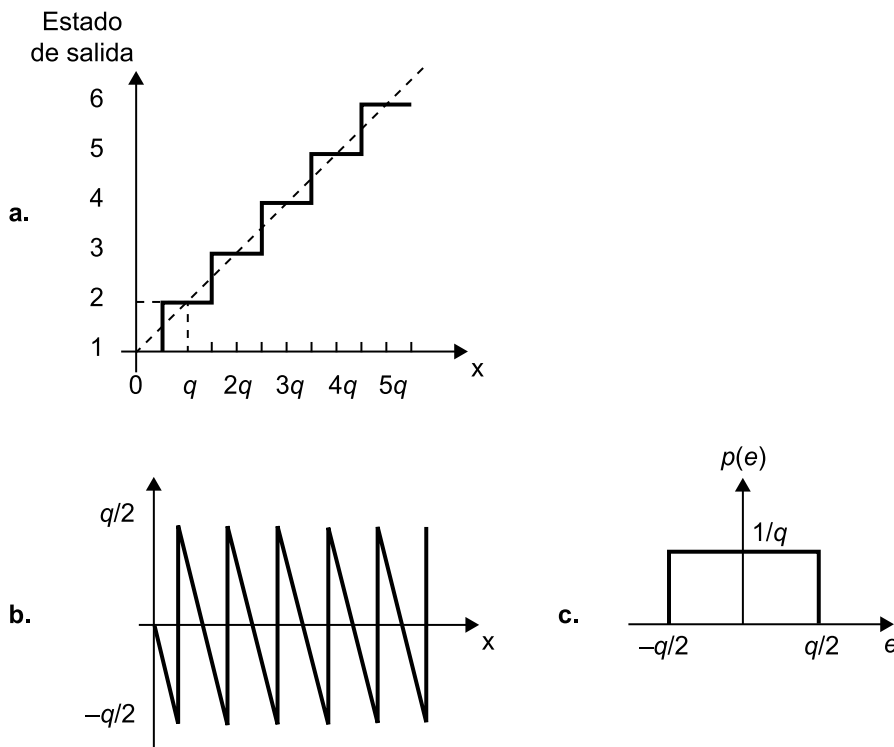
Como hemos visto anteriormente, la cuantificación de la señal consiste en asignar a cada muestra de la señal discreta en el tiempo uno de los 2^B valores disponibles con los B bits del codificador. Cada uno de estos valores se corresponde con una palabra digital de B bits.

A diferencia del proceso de muestreo, que era lineal, el proceso de cuantificación (figura 21) es no lineal. Además, ya sabemos que la cuantificación introduce un error que no se podrá corregir *a posteriori* porque en el proceso se pierde la información del valor exacto de la muestra. Por lo tanto, interesa conocer y valorar de manera conveniente las limitaciones inherentes al proceso de cuantificación.

Ved también

La cuantificación de la señal se ha tratado en el subapartado 3.2 de este módulo didáctico.

Figura 21



a. Cuantificación lineal. b. Error de cuantificación. c. Su función de densidad de probabilidad.

El nivel de error es una función del número de bits que utilice el codificador y es como máximo igual a $1/2$ del *LSB*, suponiendo que la cuantificación es uniforme. Por *cuantificación uniforme* entenderemos que el margen de valores que toma la señal se divide de manera regular utilizando un paso o intervalo de cuantificación (q).

Por ejemplo, en un CAD de 12 bits con un margen de valores de entrada de ± 10 V tendremos un *LSB* de $\frac{20}{2^{12}}$ V –es decir, $4,9\text{mV}$ –, y por lo tanto un error de cuantificación de $2,45\text{mV}$.

Vamos a estudiar, pues, cuál es el nivel de error introducido en este tipo de cuantificación, y presentaremos también otras posibles estrategias (cuantificación no uniforme).

3.5.1. Cuantificación uniforme

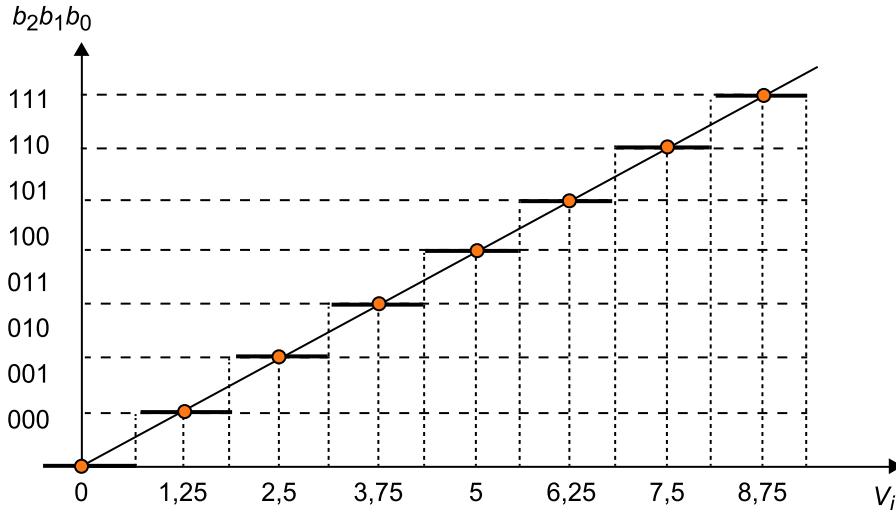
En un cuantificador uniforme, el paso de cuantificación viene dado por la ecuación 7, que recordamos a continuación:

$$q = \frac{V_{FE}}{2^n} \quad 3.31$$

Donde V_{FE} es el margen de valores en la entrada del cuantificador. Tal y como hemos visto en la figura 3 –y lo repetimos aquí por comodidad (figura 22)–, a los valores de señal entre 0 y $q/2$ se les asigna el estado 1, a los valores entre $q/2$ y $3q/2$ el estado 2 y así de manera sucesiva, de modo que a los valores

entre $(k - \frac{3}{2}q) \leq x < (k - \frac{1}{2}q)$ se les asignaría el estado k . El número de estados de salida, que será igual a 2^n para un CAD de n bits, determinará la resolución (constante) del cuantificador. De este modo, pues, si aumentamos el número de bits conseguiremos disminuir el error cometido en esta etapa del sistema.

Figura 22. Curva de transferencia de CAD. La recta correspondería al caso ideal ($n = \infty$)



El máximo error cometido por el cuantificador es $\pm q/2$, tal y como se deduce del hecho de tener el umbral de decisión en mitad de cada intervalo, y su evolución respecto del valor de entrada tiene forma de diente de sierra. Si todos los valores del margen V_{FE} tienen la misma probabilidad de aparición, el error de cuantificación se puede interpretar como un ruido aleatorio con función de densidad de probabilidad rectangular (figura 21). Se trata de lo que se denomina ruido de cuantificación (e). El valor medio de este ruido es nulo, como se puede extraer del cálculo presentado en la ecuación 3.32:

$$\int_{-\infty}^{+\infty} e p(e) de = \int_{-\infty}^{+\infty} e \frac{1}{q} de = \frac{1}{q} \int_{-\frac{q}{2}}^{+\frac{q}{2}} e de = 0 \quad 3.32$$

Por otro lado, la varianza será:

$$\sigma_e^2 = \int_{-\infty}^{+\infty} e^2 p(e) de = \frac{1}{q} \int_{-\frac{q}{2}}^{+\frac{q}{2}} e^2 de = \frac{q^2}{12} \quad 3.33$$

El efecto de la cuantificación de la señal se puede describir en términos de relación señal a ruido. Se habla de relación señal a ruido de cuantificación¹⁰ (SQNR). Para una señal de tipo sinusoidal unipolar con amplitud entre 0 y $A = 2^n q$ (es decir, $A = V_{FE}$), el valor cuadrático medio o potencia media de la señal será:

⁽¹⁰⁾En inglés, *signal to quantization noise ratio (SQNR)*.

$$\frac{1}{2\pi} \int_0^{2\pi} (2^n)^2 q^2 \sin^2(x) dx = \frac{2^{2n} q^2}{2} \quad 3.34$$

Por lo tanto, la relación señal a ruido de cuantificación será:

$$SQNR(dB) = 10 \log \left(\frac{2^{2n} q^2}{\frac{2}{12} q^2} \right) = 10 \log(6 \cdot 2^{2n}) = 7,78 + 6,02 n \quad 3.35$$

En el cálculo de la $SQNR$, hemos considerado que la señal de entrada estaba ajustada al fondo de escala. Si la señal no está muy ajustada a todo el margen posible de variación, estaremos cometiendo un error mayor. De aquí que sea muy importante que tengamos este margen de variación muy adaptado.

Si consideramos ahora una señal sinusoidal pero bipolar, con la misma amplitud A de pico a pico (considerando otra vez que esta amplitud pico a pico cubre todo el margen del convertidor), la potencia media de la señal será un factor 4 menor, por lo cual:

$$SQNR(dB) = 10 \log \left(\frac{2^{2n} q^2}{\frac{8}{12} q^2} \right) = 10 \log \left(\frac{3}{2} 2^{2n} \right) = 1,76 + 6,02 n \quad 3.36$$

Todos estos valores son los máximos teóricos que podríamos tener de relación señal a ruido. En la práctica, por lo tanto, estaremos siempre por debajo de estos límites. Observemos que en los dos casos (ecuaciones 3.35 y 3.36) la relación señal a ruido mejora unos 6 dB para cada bit adicional del convertidor A/D. Ahora bien, el número de bits está limitado por la velocidad necesaria, la propia relación señal ruido de la señal analógica (SNR) y el coste económico que nos podamos permitir. Por ejemplo, no hay que emplear un convertidor A/D que proporcione mejor relación señal a ruido que la que tiene la propia señal analógica. Lo único que conseguiríamos haciendo esto sería representar mejor el ruido. En muchas aplicaciones, una resolución de entre 12 y 16 bits es más que suficiente.

Ejemplo

Si el margen dinámico de un CAD tiene que ser superior a 80 dB y las muestras se deben digitalizar con una precisión superior a $1/2 \text{ LSB}$, determinad la resolución mínima en bits que necesitaremos.

Solución

El margen dinámico se expresa normalmente en dB y, en función del número de bits del codificador, se escribe de la manera siguiente:

$$D = 20 \log(2^n) \quad 3.37$$

Margen dinámico

Es el cociente entre los niveles máximo y mínimo de señal que el convertidor puede tener en su entrada.

Esta ecuación se obtiene haciendo el cociente entre el máximo nivel de tensión en la entrada del CAD, que es $(2^n - 1)q \approx 2^n q$, y el mínimo nivel de tensión –exceptuando el cero, que no es distinguible del ruido–, es decir, q .

Utilizando esta expresión, obtendremos:

$$80 = 20 \log(2^n) \rightarrow n = \frac{4}{\log(2)} = 13,28 \approx 14 \quad 3.38$$

Por lo tanto, serán necesarios 14 bits (tenemos que tomar siempre el entero superior más cercano).

3.5.2. Cuantificación no uniforme

La cuantificación uniforme no siempre es la mejor opción, puesto que precisamente por la característica uniforme del cuantificador hemos visto que tenemos un error de cuantificación absoluto igual en cualquiera de los intervalos de cuantificación. Sin embargo, este error, visto en relación con el intervalo donde estamos, puede ser muy importante. Dicho de otro modo, para amplitudes de entrada muy pequeñas el error relativo es muy grande y, por lo tanto, la relación señal a ruido puede ser muy baja para estas entradas pequeñas. Si queremos mantener constante la relación señal a ruido en un margen de amplitudes grande, lo que podemos hacer es variar el intervalo de cuantificación de manera proporcional a la amplitud de entrada.

Este tipo de cuantificación se utiliza, por ejemplo, en la transmisión de voz con la técnica de modulación de impulsos codificados¹¹ (PCM). En este caso, una cuantificación uniforme supondría una mayor degradación de las amplitudes más bajas de la señal. Además, dado que el oído humano puede distinguir señales de amplitud elevada en entornos muy ruidosos, el hecho de que el ruido sea mayor para amplitudes grandes de la señal no es un problema crítico. De este modo, utilizando un cuantificador no uniforme conseguimos reducir el número de bits necesarios del codificador de 12 (caso del cuantificador uniforme) a 8 (caso del cuantificador no uniforme).

El ancho de banda necesario para tener inteligibilidad en transmisión de voz es de entre 3 kHz y 4 kHz. Esto implica una frecuencia de muestreo mínima de 8 kHz, según deducimos del teorema de muestreo visto anteriormente. Con esta frecuencia, un CAD con un codificador de 12 bits daría 96 kbits/s en la salida. Ahora bien, un canal básico de telefonía tiene un ancho de banda de 64 kbits/s, valor que conseguiremos si utilizamos solo 8 bits en lugar de 12. Como es evidente, si cambiamos directamente el número de bits del convertidor de 12 a 8 perderemos calidad en la conversión. Teniendo en cuenta que la señal de voz está formada básicamente por amplitudes pequeñas (que son las que realmente importan para la inteligibilidad y la percepción del habla), se pueden destinar más códigos a estas amplitudes y menos códigos a las amplitudes grandes. Por lo tanto, la codificación no uniforme nos permitirá repartir ahora

⁽¹¹⁾En inglés, *pulse code modulation* (PCM).

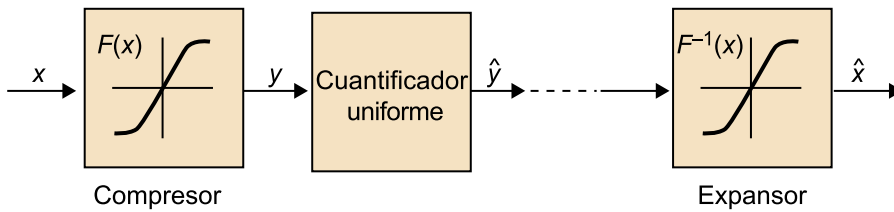
Ved también

El teorema de muestreo se ha tratado en el subapartado 3.1 de este módulo didáctico.

los intervalos de otro modo, poniendo más énfasis en los niveles bajos de señal y menos en los niveles altos para repartir todos los intervalos disponibles con 8 bits dentro del margen dinámico del CAD.

La cuantificación no uniforme se puede describir con el modelo de la figura 23:

Figura 23. Modelo del cuantificador no uniforme



La manera práctica de implementar un cuantificador no uniforme es a partir de dos bloques básicos: una función $F(x)$ no lineal, que recibe el nombre de compresor, y un cuantificador uniforme. La $F(x)$ es monótona creciente con simetría impar, que toma valores de amplitud entre $-V$ y $+V$, con $F(V) = V$ y $F(0) = 0$. Puesto que $F(x)$ es monótona, entonces se trata de una función invertible. Por lo tanto, si aplicamos la característica $F^{-1}(x)$ en la salida del compresor, se recupera la entrada x sin pérdida de información. Esta función inversa $F^{-1}(x)$ recibe el nombre de expansor y se utiliza en el receptor una vez reconvertida la señal digital a formato analógico.

El hecho de utilizar esta función $F(x)$ hace que las amplitudes pequeñas de la señal se estiren y que esto, en cambio, no suceda para las amplitudes grandes. El efecto que produce es una compresión del paso de cuantificación para valores pequeños de la señal de entrada.

Posibles formas del compresor serían las siguientes.

a) Ley μ (sistema PCM americano):

$$F(x) = V \cdot \operatorname{sgn}(x) \frac{\ln\left(1 + \mu \frac{|x|}{V}\right)}{\ln(1 + \mu)}, \quad -V \leq x \leq V \quad 3.39$$

Donde $\operatorname{sgn}(x)$ es la función signo de x . El valor de μ dependerá del número de bits n utilizados. Para $n = 7$, se toma $\mu = 100$ mientras que para $n = 8$, se toma $\mu = 255$.

b) Ley A (sistema PCM europeo):

$$F(x) = \frac{A|x|}{1 + \ln(A)}, \quad |x| \leq \frac{V}{A} \quad 3.40$$

$$F(x) = V \frac{1 + \ln\left(A + \frac{|x|}{V}\right)}{1 + \ln(A)}, \quad \frac{V}{A} \leq |x| \leq V \quad 3.41$$

Donde el valor de A utilizado de manera típica es $A = 87,7$.

Resumen

En este módulo, nos hemos centrado en el estudio de los sistemas CAD y CDA como elementos muy importantes en cualquier equipo de instrumentación.

Para la etapa CDA hemos podido ver los diferentes tipos de convertidores, muchos de estos basados en AO, así como sus características más importantes y los criterios de diseño del filtro antiimagen necesario en esta etapa.

En lo que respecta a la etapa CAD, hemos podido ver la importancia de la frecuencia de muestreo y el efecto que tiene en todo el proceso, de modo que su elección es un paso crítico en la correcta digitalización de cualquier señal analógica. Asimismo, en la etapa de cuantificación hemos podido ver que, de manera inevitable, estaremos introduciendo un error en el sistema debido a la propia naturaleza de discretización de la amplitud de la señal y, por lo tanto, es importante controlar el nivel máximo de error que podemos permitirnos. Por último, en la etapa de codificación hemos podido ver la diversidad de códigos posibles para utilizar, cuya elección dependerá fundamentalmente de la aplicación que estemos llevando a cabo.

Ejercicios de autoevaluación

1. Sea un termómetro que nos permite medir la temperatura ambiental en una casa, y que está comprendida entre 0 y 50 °C. El dispositivo tiene una sensibilidad de 20 mV/°C. Si queremos tener una resolución de 0,1 °C y salida (V_o) digital, determinad el margen de entrada, el número de bits y el error de cuantificación del CAD.

2. Sea una señal sinusoidal del tipo $V_i(t) = 5\sin(2\pi ft)$ que digitalizaremos con un convertidor de 8 bits. Calculad la máxima frecuencia f que puede tener si queremos que la máxima variación de esta señal durante todo el tiempo de conversión no supere el error de cuantificación. Considerad que el fondo de escala del convertidor es $V_{FE} = 10$ V, para aprovechar al máximo su margen dinámico, y que el tiempo de conversión es de $t_c = 100 \mu\text{s}$.

Solucionario

Ejercicios de autoevaluación

1. Calculamos el margen de entrada como la diferencia de tensiones entre el valor mínimo de temperatura y el valor máximo de temperatura que queremos medir.

- Para $T = 0\text{ }^{\circ}\text{C}$, obtenemos: $V_o = 0\text{ V}$.
- Para $T = 50\text{ }^{\circ}\text{C}$, obtenemos: $V_o = 20\text{ mV}/^{\circ}\text{C} \times 50\text{ }^{\circ}\text{C} = 1\text{ V}$.

Por lo tanto, el margen de entrada será $M = 1 - 0 = 1\text{ V}$.

Para determinar el número de bits del CAD, deberemos utilizar el dato de la resolución que deseamos tener. Por lo tanto, el hecho de que la resolución deba ser de $0,1\text{ }^{\circ}\text{C}$ significa que en tensión se tiene que conseguir una resolución mejor o igual que $0,1\text{ }^{\circ}\text{C} \times 20\text{ mV}/^{\circ}\text{C} = 2\text{ mV}$.

Entonces, el número de bits se obtendrá a partir de la ecuación 7, como:

$$q = \frac{V_{FE}}{2^n} \quad 3.42$$

Donde, en nuestro caso, $q = 2\text{ mV}$ y $V_{FE} = M = 1\text{ V}$.

Si aislamos el valor de n , llegamos a:

$$2^n \geq \frac{1\text{ V}}{2\text{ mV}} = 500 \quad 3.43$$

Y por lo tanto:

$$n \log(2) \geq \log(500) \quad 3.44$$

De donde obtenemos finalmente: $n \geq 8,97$.

En definitiva, puesto que el número de bits tiene que ser un entero, deberemos tomar un CAD de al menos 9 bits para conseguir la resolución pedida.

Finalmente, para calcular el error de cuantificación del CAD, si suponemos que es un convertidor uniforme aplicaremos la fórmula $e = \pm \frac{1}{2} LSB$, que para nuestro caso será:

$$e = \pm \frac{1}{2} \frac{1}{2^9} = 0,977\text{ mV} \quad 3.45$$

Observemos que el error de cuantificación es prácticamente la mitad de q y, de hecho, lo podemos considerar así normalmente. La diferencia numérica viene dada por el valor de n elegido en la práctica (un entero), que no es exactamente el valor de la igualdad.

2. La señal de entrada es un seno de amplitud $A = 5$ y, por lo tanto, se moverá entre -5 V y $+5\text{ V}$. De aquí que nos digan que el fondo de escala del convertidor lo consideramos de 10 V .

El error de cuantificación viene dado por la ecuación:

$$e = \pm \frac{1}{2} LSB \quad 3.46$$

que para nuestro caso será:

$$e = \pm \frac{1}{2} \frac{V_{FE}}{2^n} = \pm \frac{1}{2} \frac{10}{2^8} = \pm \frac{10}{2^9} = 0,0195\text{ V} = 19,5\text{ mV} \quad 3.47$$

La variación máxima en una señal sinusoidal se da en sus cruzamientos por cero, puesto que es aquí donde su derivada es máxima. Por lo tanto, durante el tiempo de conversión (t_c) valdrá:

$$\text{variación máxima} = \left. \frac{d}{dt} V_i(t) \right|_{\text{máx}} \cdot t_c \quad 3.48$$

Puesto que esta variación tiene que ser inferior al error de cuantificación, llegamos a:

$$5 \cos(2\pi f t) 2\pi f \Big|_{\text{máx}} \leq \frac{e}{t_c} \quad 3.49$$

Dado que el valor máximo del coseno es ± 1 , y considerando un tiempo de conversión $t_c = 100 \mu\text{s}$, llegamos a:

$$5 \cdot 2\pi f \leq \pm \frac{19,5 \text{ mV}}{100 \mu\text{s}} = 195 \text{ V/s} \quad 3.50$$

De donde finalmente obtenemos:

$$f_{\text{máx}} = \frac{195 \text{ V/s}}{5 \cdot 2\pi} \approx 6,21 \text{ Hz} \quad 3.51$$

Observemos que esta frecuencia es muy pequeña, y en estas condiciones no podríamos muestrear una señal sinusoidal de frecuencia mayor que 6 Hz aproximadamente. Este inconveniente viene dado porque en este sistema de conversión no estamos utilizando ningún *S&H*.

Con la incorporación de un circuito de muestreo y retención, dado que este mantiene prácticamente constante el valor de la muestra mientras dura el proceso de conversión, la única restricción que tendremos, de manera aproximada, será la que nos indica el teorema de Nyquist.

De esta manera, si ahora tenemos en cuenta que disponemos de un *S&H* en la entrada del CAD y con las mismas consideraciones anteriores, la frecuencia máxima sería:

$$f_{\text{máx}} = \frac{F_s}{2} = \frac{1}{2 \cdot 100 \mu\text{s}} = 5 \text{ kHz} \quad 3.52$$

Este valor ya es mucho más elevado que el anterior y, por lo tanto, tenemos un margen de señales de entrada bastante más elevado para convertir con un CAD de 8 bits y $t_c = 100 \mu\text{s}$.

Glosario

aliasing *m* Efecto de solapamiento frecuencial que se produce en el proceso de muestreo de una señal analógica cuando la frecuencia de muestreo no cumple el criterio de Nyquist.

CAD *m* Dispositivo electrónico que convierte una señal analógica en otra digital.

CDA *m* Dispositivo electrónico que convierte una señal digital en otra analógica.

estabilidad térmica *f* Variación de un parámetro ante cambios en la temperatura. Decimos que tenemos una buena estabilidad térmica cuando esta variación es muy pequeña (idealmente, cero).

frecuencia de muestreo *f* Frecuencia a la cual vamos tomando muestras de la señal que estamos muestreando. Se corresponde al inverso del periodo de muestreo.
en sampling frequency

LSB *m* Sigla utilizada para referirnos al bit menos significativo de una palabra digital (*least significant bit*).

margen dinámico *m* Es el cociente entre los niveles máximo y mínimo de señal que el convertidor puede tener en su entrada.

MSB *m* Sigla utilizada para referirnos al bit más significativo de una palabra digital (*most significant bit*).

periodo de muestreo *m* Instante de tiempo entre dos muestras consecutivas de la señal que estamos muestreando.
en sampling period

resolución de un convertidor *f* Diferencia entre dos valores consecutivos en un convertidor D/A.

sampling frequency *f* Véase frecuencia de muestreo.

sampling period *m* Véase periodo de muestreo.

señal analógica *f* Señal en la que los valores de amplitud pueden ser cualesquiera.

señal continua *f* Señal definida para cualquier instante de tiempo.

señal digital *f* Señal en la que los valores de amplitud están restringidos a un conjunto prefijado de valores posibles.

señal discreta *f* Señal definida en instantes determinados de tiempo, normalmente múltiplos de un periodo fundamental T .

Bibliografía

Dunn, W. C. (2005). *Fundamentals of Industrial Instrumentation and Process Control*. Nueva York: McGraw-Hill.

Pallas-Areny, R. (2008). *Sensores y acondicionadores de señal*. Barcelona: Marcombo.

Park, J.; Mackay, S. (2003). *Chapter 2: Analog and digital signals*. En: *Practical Data Acquisition for Instrumentation and Control Systems*. Oxford: Newnes, Elsevier.

Seitzer, D.; Pretzl, G.; Hamdy, N. A. (1983). *Electronic analog-to-digital converters*. Nueva York: John Wiley & Sons.

